Université Sidi Mohammed Ben Abdellah
Faculté Des Sciences Et Techniques De Fès
Département Génie Electrique

MÉMOIRE DE PROJET DE FIN D'ÉTUDES

Préparé par

Soufiane TBATOU – Mohamed AHOUARI

Pour l'Obtention du :

Diplôme d'Ingénieur d'*État*

Spécialité : **Systèmes Electroniques et Télécommunications**

Intitulé

Réalisation et programmation d'un relais localisateur de défauts dans les réseaux de distribution d'électricité.

Effectué au sein de la Régie Autonome de Kenitra

Encadré par :

Pr H.EL MARKHI
Mr M.ZAHRI (RAK)

Soutenu le 02 Juillet 2015, devant le jury composé de :

Pr H.EL MARKHI …………………………: Encadrant
Mr M.ZAHRI ………………………………: Encadrant
Pr F.ERRAHIMI ……………………………: Examinateur
Pr M. RAZI …………………………………: Examinateur

Année universitaire : 2014/2015

DÉDICACE

Nous dédions ce travail à :

Nos chers parents, qu'à vrai dire aucune dédicace ne pourrait vous monter nos gratitudes et notre respect, et notre amour envers vous, qu'Allah vous bénisse.

À nos chères sœurs,

À nos chers frères,

À nos encadrants pour leur soutien, leur encouragement et leur support.

À nos amis, et nos collègues de la 3ème année Systèmes Electroniques et télécommunications et à toutes les équipes de la Régie Autonome de Kenitra,

REMERCIEMENT

En préambule à ce mémoire, nous remercions ALLAH qui nous a aidé et nous a donné le courage, la patience et l'endurance le long de nos longues années d'études.

Nous souhaitons adresser nos remerciements les plus sincères à nos parents, nos frères, nos professeurs qui nous a apporté leurs aides et qui nous a soutenu tout au long de notre parcours, bien qu'à Agadir qu'à Fès.

Nous exprimons nos profondes gratitudes à nos encadrants ***M.ZAHRI*** et ***H.EL MARKHI*** pour leurs encouragements, leurs directives et leurs précieux conseils tout au long de notre stage.

Nos remerciements s'adressent également à ***M.HEJJAJ Kacem*** et ***M.ZARMOUK Abdelaziz***, techniciens à la RAK pour leur collaboration et au cher frère, ami et ancien collègue, ainsi que toute l'équipe de travail de la RAK.

Nous tiendrons à remercier toute personne qui a participé de près ou de loin à l'exécution de ce modeste travail.

Liste des Figures

Liste des Tableaux

Liste des Organigrammes

Liste des abréviations

RAK	:	Régie Autonome de Kénitra
TC	:	Transformateur de Courant
TT	:	Transformateur de Tension
MT	:	Moyenne Tension
BT	:	Basse tension
BCC	:	Bureau de Contrôle Commande
DSP	:	Digital Signal Processing
LCD	:	Liquid-Crystal Display
RTC	:	Real Time Clock
DMA	:	Direct Memory Access
SPI	:	Serial Peripheral interface
ADC	:	Analog Digital Converter
I2C	:	Inter-Integrated Circuit
SRAM	:	Serial Random Access Memory
UART	:	Universal Asynchronous Receiver Transmitter
SDCard	:	Secure Digital Caard
LED	:	Light Emitting diode
EEPROM	:	Electrically Erasable Programmable Read Only Memory
NVRAM	:	Non Volatile Random Access Memory

Table des matières

Introduction

La RAK a pour mission de distribuer l'énergie électrique aux consommateurs, et pour réussir cette mission elle a déployé plusieurs efforts pour garantir la qualité de son produit. Cependant, les interruptions des alimentations constituent un problème majeur qui dégrade la qualité du service fourni, ainsi la nécessité croissante d'améliorer la qualité de l'alimentation demande un système de distribution rigide et fiable pour la localisation des défauts.

C'est dans ce sens que s'inscrit notre projet de fin d'études, qui vise en premier lieu à réduire la durée des coupures répétitives de l'alimentation à cause des défauts sur les câbles de conduction et mettre en place un système qui gère la localisation des défauts en se basant sur le comportement du signal au moment du défaut.

Les différents chapitres du rapport s'articulent sur tout d'abord une présentation de l'entreprise d'accueil ensuite une description du contexte général du projet, puis une étude détaillée du projet traitant la partie matérielle et logiciel du système, enfin une réalisation du projet incorporant la partie test dans le dernier chapitre. Une conclusion générale et des perspectives clôturent ce rapport mettant l'accent sur ce qui a été réalisé lors de ce stage ainsi que les éventuelles actions pouvant être menées à l'avenir.

CHAPITRE I

PRÉSENTATION DE L'ORGANISME D'ACCUEIL ET CAHIER DES CHARGES

Dans ce chapitre, on va présenter en détail l'organisme d'accueil, son historique et ses procédures de détection des défauts ainsi que la problématique avec ces différentes dimensions, les contraintes et les objectifs.

.

1. Présentation de la R.A.K

1.1 Historique

Sous le protectorat, la distribution de l'électricité était assurée par la société d'électricité du Port Lyautey (S.E.P.L), nom que portait jadis la ville de Kenitra.

Au lendemain de l'indépendance, ce service public fut exploité par la société d'électricité de Kenitra (S.E.K). Ces deux sociétés assuraient la distribution de l'énergie électrique sous la forme juridique d'une concession, les liants à l'Énergie Electrique du Maroc (E.E.M) : Société à caractère national chargée de la production et du transport. Quant à la distribution de l'eau, elle était assurée par les services Municipaux de la ville.

Par sa délibération en date du 28 décembre 1970, le conseil communal de la ville de Kenitra a donné naissance à la régie autonome chargée de la distribution d'eau dans le périmètre urbain.

Le critère intercommunal de la RAK a été conféré à celle-ci par le regroupement des collectivités de Kénitra, Haddada et centre autonome de Mahdia en syndicat des communes lors de la délibération de celui-ci en date du 7 avril 1977.

La création et l'extension du périmètre de desserte de la régie s'accomplissent dans le cadre juridique du décret N°2-64-394 de la personnalité civile et de l'autonomie financière conformément à son article 2.

Récemment la RAK a diversifié ses services en se chargeant de l'assainissement le 28 décembre 2003. Ce service s'occupe de la maintenance du réseau d'assainissement liquide et de l'installation des réseaux des égouts.

1.2 La forme juridique

D'après l'arrêté ministériel N° : 517/71 du 28 / 12 / 1970, la régie est un établissement public à caractère commercial et industriel doté de l'autonomie financière.

Elle est soumise sous le double contrôle du ministère des finances et celui de l'intérieur.

1.3 La forme économique

La RAK a pour but d'assurer la distribution d'eau et d'électricité dans la ville de Kenitra et ses communes rurales est d'exécuter les travaux d'équipement en eau et électricité des lotissements publics et privés.

La RAK commercialise l'eau achetée auprès de l'O.N.E.P (l'Office National d'Eau Potable) en plus de l'exploitation d'eau, alors que l'électricité est acquise totalement auprès de l'O.N.E (l'Office National d'Électricité).

1.4 Organigramme

Généralement c'est l'organigramme qui retrace la structure hiérarchique de l'entreprise. Il précise la répartition des tâches entre les services et le niveau hiérarchique des différents responsables. L'organigramme général de la RAK se présente comme suit :

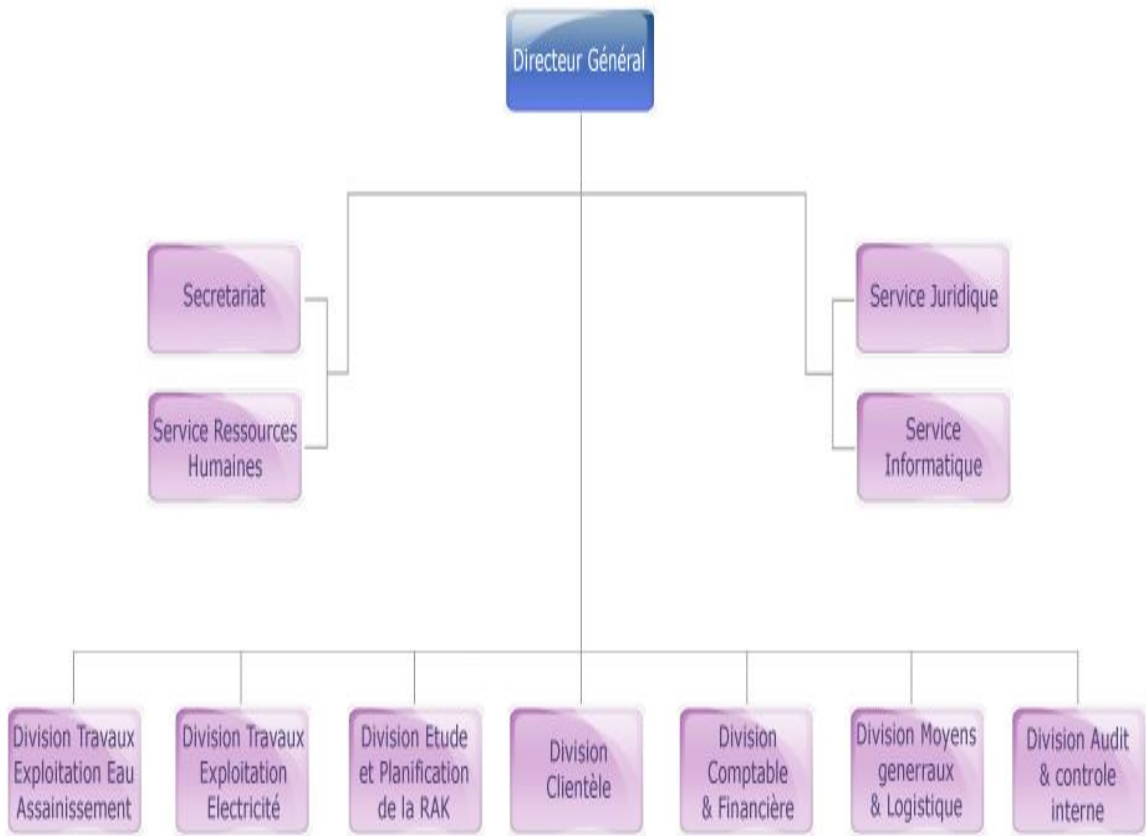


Figure 1:Organigramme de la RAK

❖ ***Division Moyens Généraux et Logistique***

La division Moyens Généraux et Logistique réalise les travaux communs des différents services de la régie. Elle se charge de la fourniture et la gestion des équipements et matériels nécessaires au fonctionnement des différents services, elle comporte :

- Service logistique
- Service Approvisionnement

❖ *Service du personnel*

C'est un service qui vise à assurer les opérations qui nécessite le fonctionnement de tous les jours de la R.A.K tel que le recrutement, la rémunération, contrôle des absences, les affectations, l'avancement, les congés administratifs ou de maladies, relation avec les syndicats, etc.

❖ *Division financière et comptable*

Cette division est chargée de contrôler toutes les opérations qui s'effectuent en termes de dépenses et de recettes au sein de la régie. Ce contrôle fait l'objet d'un bilan annuel retraçant toutes ces opérations.

Cette division se subdivise en deux :

- Service financier
- Service comptabilité

❖ *Secrétariat de direction*

Elle est subdivisée en plusieurs bureaux et qui sont à la disposition de toute la régie. Sa fonction est d'effectuer tous les travaux bureautiques concernant : Traitement de texte, Frappe en dactylographie, emploi du temps et des rendez-vous, Courrier, reçoit et transmet des fax et télex.

❖ *Service juridique*

Il est le seul transite ou intermédiaire entre les parties civiles et le bureau d'assurance qui atteste ou assure le paiement de ces parties contre les fuites d'Eau, les accidents de véhicules et les responsabilités civiles.

❖ *Division Informatique*

Le service informatique est constitué de deux services :

- <u>Service études et exploitation</u> : chargé de l'exploitation des applications existantes, il s'occupe également des opérations de sauvegarde et archivage des données.
- <u>Service études et développement</u> : chargé de conception et développement d'application jugée de première nécessité et la gestion de maintenance du parc informatique, rédaction des dossiers et suivi de l'acquisition informatique matériels et logiciels.

❖ ***Division Travaux Exploitation Eau et Assainissement***

Elle est chargée de l'exploitation et de l'entretien du réseau d'eau et l'assainissement, et la réalisation des nouveaux équipements. Elle comporte :

- Service équipement d'eau et d'assainissement.
- Service exploitation d'eau
- Service exploitation de l'assainissement
- Service laboratoire d'analyse d'eau

❖ ***Division Etudes et Planification***

Division d'étude est chargée de la planification du réseau et de l'étude générale qui consiste en l'étude des grands projets et l'étude prévisionnelle du réseau de l'électricité, l'eau et l'assainissement. Elle comporte :

- Service des études électricité.
- Service des études eau et assainissement.

❖ ***Division Travaux et Exploitation Electricité***

La division d'électricité, dans laquelle j'ai effectué mon projet de fin d'études, est sous la responsabilité d'un ingénieur-chef division, elle est chargée d'assurer en quantité et en qualité la distribution d'électricité répondant aux besoins de la ville, étudie et propose toute action visant l'amélioration et renforcement des réseaux, elle comporte les services :

- Service d'exploitation.
- Service des travaux neufs et comptage.
- Service de téléconduite

L'organigramme de cette division est illustré sur la figure 2 :

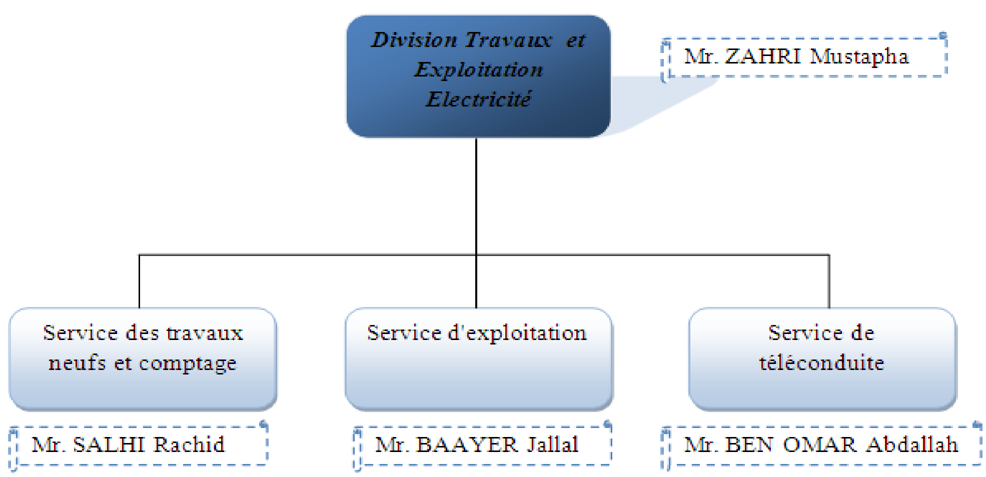


Figure 2: Organigramme de la division travaux et exploitation électricité

1.5 Procédure de localisation des défauts [1]

❖ ***Détection de défaut***

Tout réseau électrique possède des systèmes de protection (relais, disjoncteur…) pour déconnecter (déclencher) le système en cas de défaut sur la ligne pour :

- Protéger le réseau, les clients et le matériel installé.
- Indiquer aux agents l'existence d'un défaut afin de le localiser.

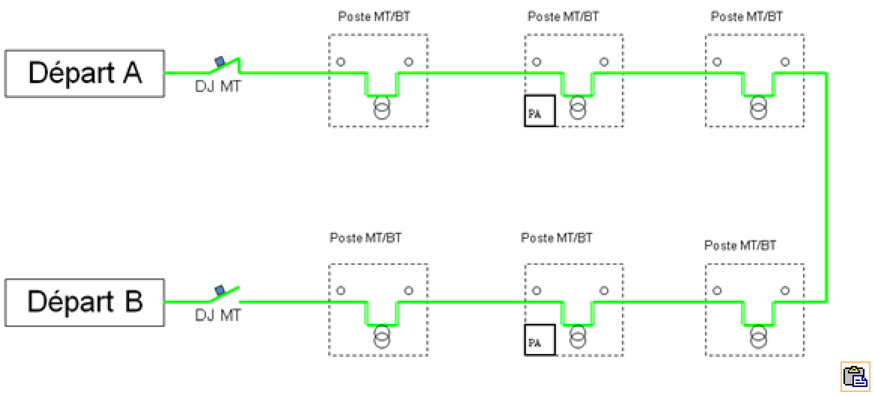


Figure 3: Modèle d'un départ en fonctionnement normal

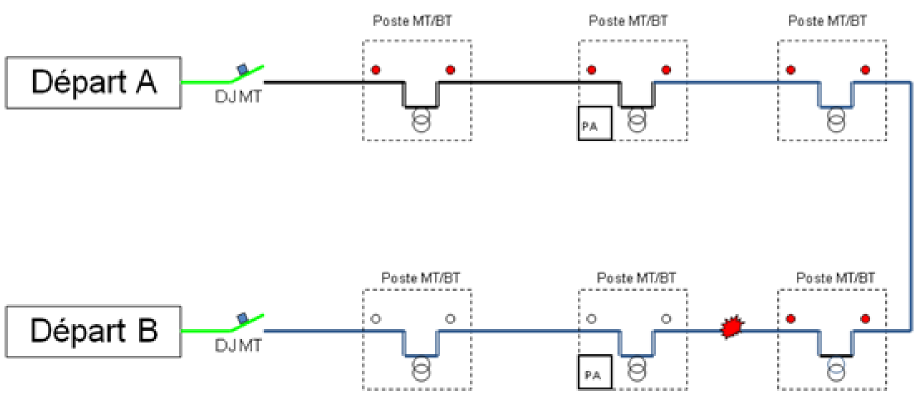


Figure 4: Détection de présence d'un défaut sur le départ

❖ ***Localisation de défaut***

Localiser un défaut c'est chercher à isoler la section de la ligne en défaut, cela se fait à la RAK en deux étapes :

<u>1er étape :</u> Une procédure des essais à partir du BCC, dont on divise le départ déclenché en plusieurs tronçons selon le nombre des postes télécommandé qu'il contient.

On ouvre le premier poste télécommandé qui ne voit pas le défaut (ne clignote pas) et on ferme le deuxième côté de la boucle pour réalimenter une partie des clients.

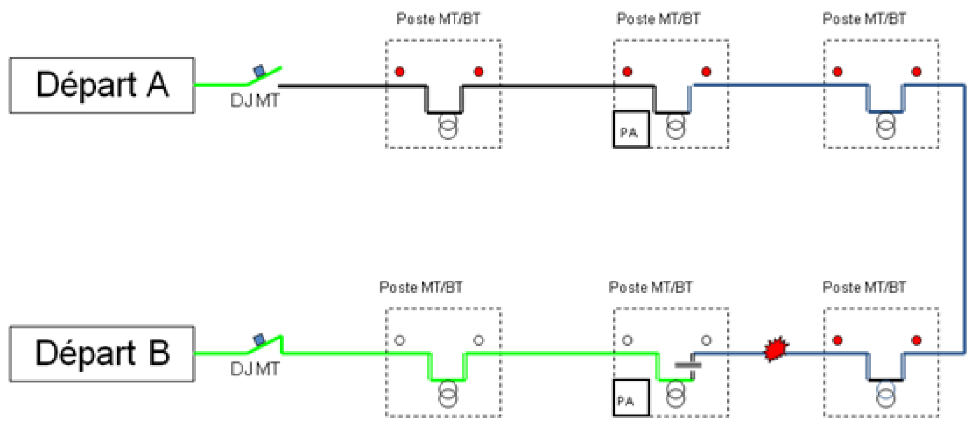


Figure 5: Étape de localisation du défaut (fermeture du couplage, utilisation des PA).

On ouvre un autre poste télécommandé entre le départ déclenché et le poste ouvert précédemment (dans l'exemple qu'on a c'est le seul qui reste) et on ferme le départ déclenché : si ce départ se déconnecte alors le défaut est dans cette zone sinon le défaut est ailleurs comme notre exemple indique :

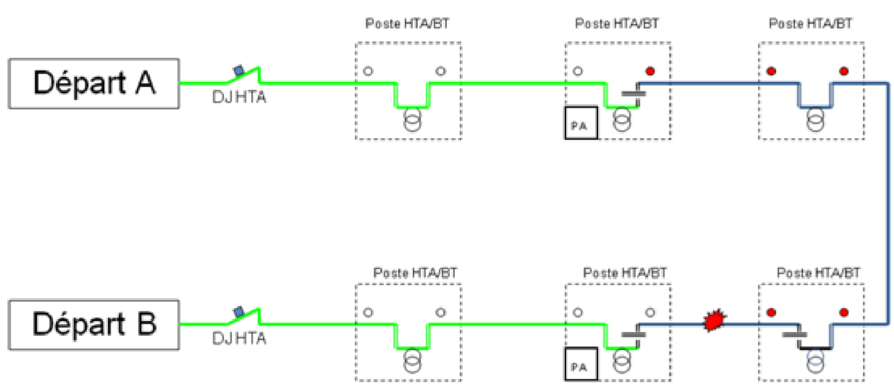


Figure 6: Étape de localisation du défaut (utilisation des PA).

<u>2éme étape :</u> Bien qu'on a réalimenté une grande partie de clients, on doit chercher encore plus pour réalimenter tous les clients et isoler seulement la ligne en défaut, et cela ne peut être fait que par une visite sur le champ pour vérifier les relais BARDIN s'ils clignotent ou non puisque le défaut existe entre deux relais ayant des états inverses (un qui clignote, l'autre non).

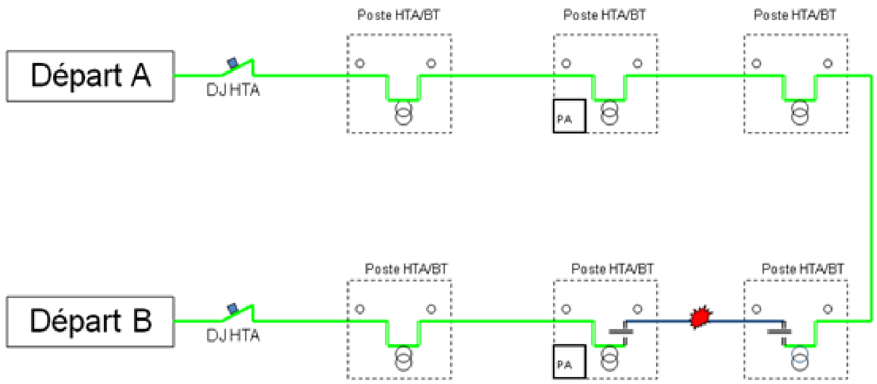


Figure 7: Étape de localisation du défaut (utilisation des relais BARDIN).

Après réalimentation de tous les clients, l'équipe doit trouver la position exacte du défaut en procédant à la recherche par le véhicule.

❖ *Recherche de défaut*

Chercher un défaut c'est trouver la position exacte du défaut, cela se fait à la RAK à l'aide du véhicule de recherche des défauts :



Figure 8: Véhicules et outils de recherche de défauts.

En suivant les étapes suivantes :

a) Branchement des trois phases d'un des côtés de la ligne isolés avec les trois phases du véhicule.
b) Mise à la terre
c) Envoi d'une grande tension sur les trois phases pour trouver la phase en défaut : C'est celle pour laquelle le courant augmente lors de la variation de la tension.

d) Après détection de la phase en défaut, on estime la distance du défaut par échométrie, puis on détermine la position du défaut en utilisant l'onde de choc, qu'on peut suivre sur la ligne par le DIGIPHONE.
e) Lorsqu'on s'approche de la position du défaut en peut entendre les battements de l'onde comme on peut voir sa vitesse et sa puissance sur le DIGIPHONE.

2. Cahier des charges

2.1 Contexte

La fonction principale d'un réseau électrique est d'acheminer l'énergie jusqu'aux consommateurs. La fourniture d'électricité, en ce qui concerne la sûreté et la disponibilité, constitue un point clef de la gestion des réseaux électriques. Ceci est particulièrement vrai pour les réseaux de distribution, lien entre les réseaux de transport et de répartition et les consommateurs. La gestion de tels réseaux est complexe du fait de leur architecture étendue, du faible nombre de données disponibles et des perturbations variées qui peuvent s'y produire.

La détection et la localisation des défauts est dès lors une composante de plus en plus importante pour cette gestion. Dans les réseaux électriques, il existe plusieurs types de défauts (polyphasés ou monophasés). Lors de l'occurrence de ces défauts, les exploitants doivent :

- Avoir connaissance de l'existence du défaut ;
- Isoler l'endroit du défaut ;
- Réparer le défaut le plus rapidement possible pour réalimenter les clients.

Ces actions constituent la détection et la localisation des défauts dans les réseaux électriques.

2.2 État actuel

Ce projet a vu le jour en tant qu'une idée en 2013 lorsque Monsieur MENCHAFOU Youssef ingénieur d'état de la FST de Fès a commencé son travail sur les théories de localisation des défauts en essayant de trouver un algorithme de localisation plus simple et plus fiable, ce travail a abouti à des résultats honorables et une publication scientifique.

En 2014 Monsieur ELBAHAOUI Abdelmajid, ingénieur d'état de la FST de Fès, a pris la relève en mettant un premier pas dans la réalisation de ce système avec la conception d'une carte d'acquisition des signaux, qui permet l'acquisition et le conditionnement des signaux du réseau MT afin de les traiter par la suite. Il a aussi commandé une carte DsPIC33FJ qui constituera par la suite la partie traitement de ce système.

Dans le cadre de notre Projet de Fin d'Études pour l'année universitaire 2014/2015, notre encadrant Mr ZAHRI Mustapha Chef de la Division Electricité à la RAK, nous a accordé l'ensemble des résultats des années précédentes, à savoir, les rapports qui détails les travaux réalisés, la carte d'acquisition et la carte de traitement DsPIC33FJ sur laquelle se basera notre travail.

2.3 Cahier des charges

Après l'étude et la compréhension de l'architecture du réseau souterrain géré par la RAK, l'analyse de l'étude théorique, concernant le traitement des données du réseau dans le but de bien localiser les défauts et la réalisation de la carte de conditionnement des signaux de réseau. Notre mission a pour objectif de réaliser un relais localisateur de défauts dans les réseaux de distributions d'électricité, pour se faire nous allons suivre les étapes suivantes :

- Numérisation des signaux de la carte de conditionnement ;
- Calcul des valeurs efficaces des signaux et Affichage de ces derniers ;
- Stockage des données dans une mémoire à durée minimale de 3 secondes ;
- Application de l'algorithme de localisation des défauts ;
- Création d'une interface graphique pour simplifier l'utilisation du relais ;
- Sauvegarde d'un historique des défauts ayant lieu et Affichage de l'information sur l'état de la ligne et l'historique des défauts.

2.4 Expression des besoins et attentes

Dans cette perspective, nous allons fixer les objectifs à atteindre et adopter des pratiques plus opérationnelles qui vont permettre à notre système d'être fiable, efficace et réalisable.

Notre objectif doit être strictement défini, ce qui veut dire :

Spécifique : Réaliser la partie traitement (Hardware, Software) d'un relais localisateur des défauts dans les départs MT ;

Mesurable : Implémentation des algorithmes de localisation des défauts dans les réseaux MT et Stockage des résultats ;

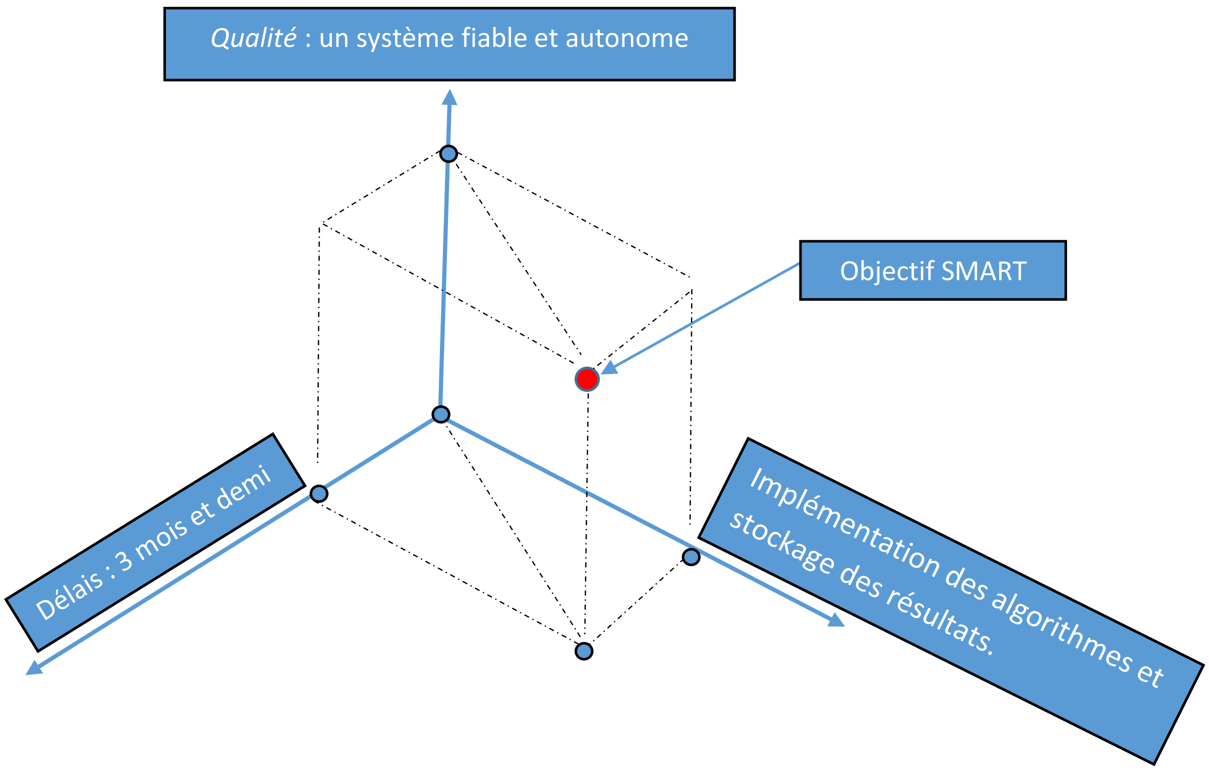
Atteignable : à l'aide d'un algorithme de localisation des défauts, bonne maîtrise des systèmes embarqués, de l'électronique et de l'électrotechnique ;

Réalisable : Outils informatiques clés en main, une très bonne maîtrise des logiciels (MPLAB X, ISIS, ARES, Visual Studio), dépendance à la motivation, d'esprit de résolution des problèmes, et l'adaptation au changement ;

Temporellement défini : La réalisation ne doit pas dépasser 3 mois et demi.

2.5 Contraintes et exigences

Les contraintes et les exigences qui vont s'imposer dans ce projet ont une étroite relation avec l'ensemble tridimensionnel suivant :



2.6 Planning

	Task Name	Duration	Start	Finish
3	Familiarisation avec la carte DSP	5 days	Mon 23-02-15	Fri 27-02-15
4	Test de la carte d'aquisition	1 day	Mon 23-02-15	Mon 23-02-15
5	Demontage de la carte et test des élements séparement	4 days	Tue 24-02-15	Fri 27-02-15
6	Maintenance de la carte d'aquisition	5 days	Mon 02-03-15	Fri 06-03-15
7	Premier programme d'essai DsPIC	1 day	Mon 09-03-15	Mon 09-03-15
8	Initialisation du DMA et ADC et debogage	4 days	Tue 10-03-15	Fri 13-03-15
9	Réception du beaglebone et des SRAM's	1 day	Mon 16-03-15	Mon 16-03-15
10	Initialisation du DMA et SPI	9 days	Tue 17-03-15	Fri 27-03-15
11	Conception de la Carte des SRAM's (ISIS)	4 days	Tue 17-03-15	Fri 20-03-15
12	Ralisation de l'interface de Lecture	10 days	Mon 23-03-15	Fri 03-04-15
13	Test des SRAM, programme UART	8 days	Mon 30-03-15	Wed 08-04-15
14	Programme principale	10 days	Mon 06-04-15	Fri 17-04-15
15	Partie LCD, Cablage LCD	3 days	Mon 13-04-15	Wed 15-04-15
16	Test du programme complet et liaison avec interface	5 days	Mon 20-04-15	Fri 24-04-15
17	Conception du circuit detection, conception du Typon	7 days	Mon 20-04-15	Tue 28-04-15
18	Realisation de l'interface de configuration	10 days	Mon 04-05-15	Fri 15-05-15
19	Realisation de la carte des SRAM	5 days	Mon 04-05-15	Fri 08-05-15
20	Soudage et test des liaisons	3 days	Mon 11-05-15	Wed 13-05-15
21	Cablage de l'ensemble et verification	2 days	Thu 14-05-15	Fri 15-05-15
22	Programme SDCard, RTC	5 days	Mon 18-05-15	Fri 22-05-15
23	Assemblage du programme, et Cablage des cartes	5 days	Mon 25-05-15	Fri 29-05-15
24	Test sur le reseaux BT de la RAK	5 days	Mon 01-06-15	Fri 05-06-15
25	Redaction du Rapport	14 days	Sat 06-06-15	Wed 24-06-15

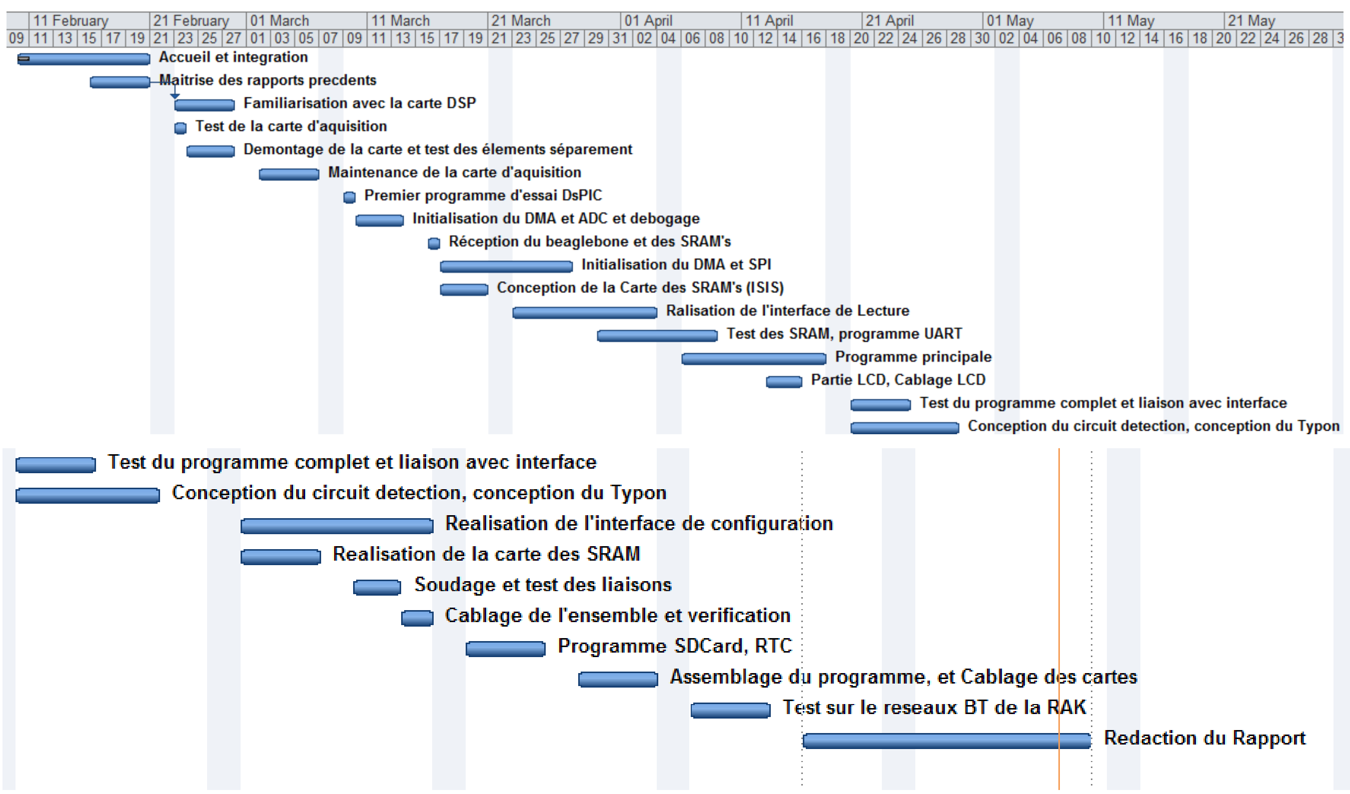


Figure 9: Planning du PFE

CHAPITRE II

Partie Hardware

Ce chapitre aborde la partie matérielle du système réalisé, le détail de chaque module, critère du choix et l'utilité de chaque module dans le relais.

Introduction

Dans le but de compléter la réalisation du relais de localisation des défauts, dont la partie conditionnement est déjà initiée, nous avons entamé la concrétisation de la partie du traitement en utilisant la carte de développement DsPIC. Cette réalisation se base sur l'échantillonnage des signaux à l'aide du convertisseur analogique numérique, le stockage dans une pile mémoire constituée des SRAM externes à cause du manque de la mémoire au niveau du DsPIC, l'affichage des courants et des tensions efficaces sur un afficheur LCD, l'enregistrement de cette pile dans une carte SD en cas de défaut, l'enregistrement de l'architecture de départ et l'historique des défauts sur des mémoires EEPROM et la gestion de la date et de l'heure avec un module horloge temps réel. Ces différentes parties seront traitées en détail dans la suite de ce rapport.

1. La carte d'acquisition des signaux

1.1 Introduction

Avant de détailler les modules que nous avons utilisés dans notre système, nous allons présenter brièvement le matériel qui nous a été attribué le premier jour dans la société, les différents Tests et les problèmes qu'on a rencontrés.

La carte d'acquisition permet d'acquérir les images des trois courants et des trois tensions du réseau et les adapter pour la carte de traitement. Elle se compose de deux parties :

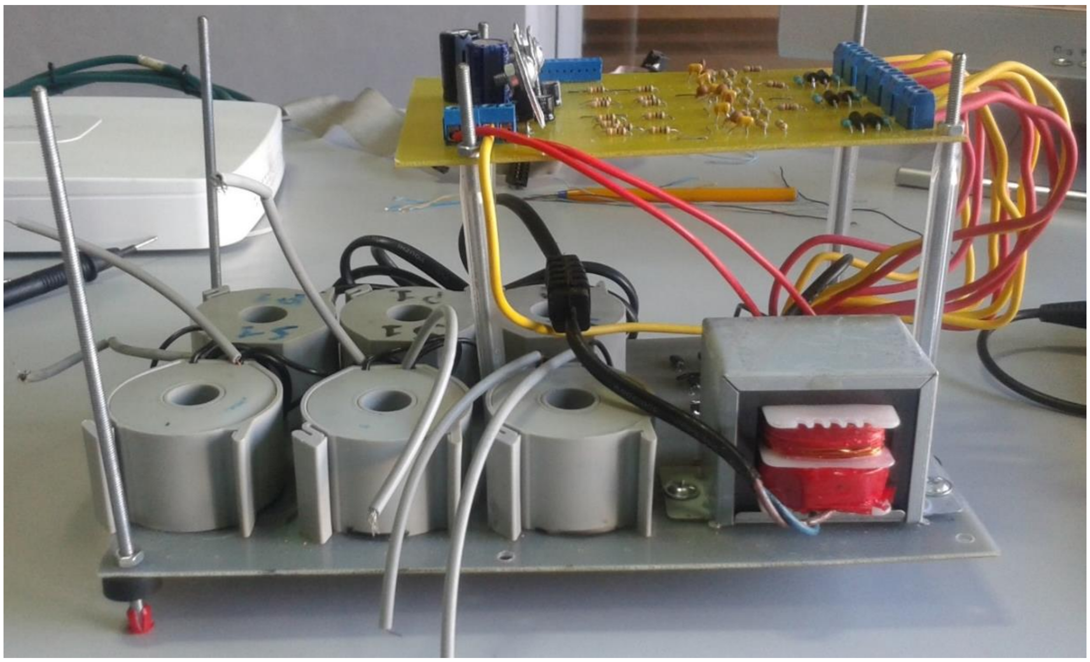


Figure 10: Carte d'acquisition

1.2 Partie des capteurs

Les capteurs des grandeurs physiques qu'on veut acquérir (tensions et courants) sont les transformateurs de tensions (TP, TT) et les transformateurs de courants (TC) qui ont les caractéristiques suivantes :

Table 1: caractéristiques des transformateurs

CARACTERISTIQUE	TT	TC
ENTREE	100 V	200A
SORTIE	10V	1A
N1	100	1
N2	10	200
RAPPORT DE TRANSFORMATION	10	0.025

Au secondaire du transformateur du courant, il y a une diode Transil (figure 11) qui assure la protection des personnes et du matériel contre les dangers dus à l'ouverture du secondaire 5A ou 1A d'un TC de mesure.

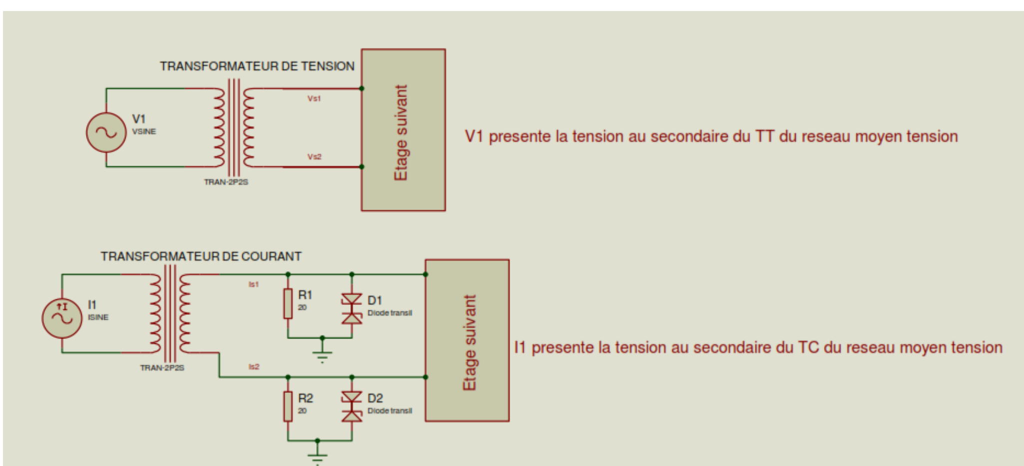


Figure 11: Étage du TT et du TC avec diode de protection.

Les bornes du TC délivrent un courant maximal égal à 250 mA, pour le traiter, nous avons utilisé des résistances de 20 Ω pour ramener la tension à +/- 5V.

1.3 Partie conditionnement

❖ ***Étage à amplificateur INA***

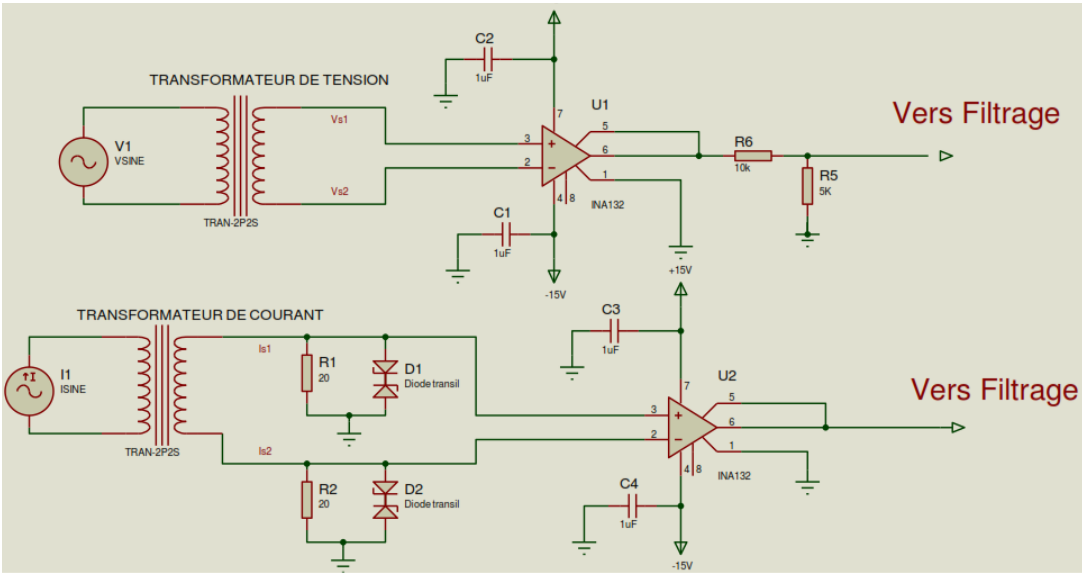


Figure 12: Brochage des circuits INA aux bornes du transformateur.

Cet étage a pour rôle de ramener les signaux de sortie des transformateurs qui sont sur deux voies à une voie unique.

❖ ***Étage de filtrage***

C'est un filtre anti-repliement de Sallen-Key avec une fréquence de coupure au plus égale à la moitié de la fréquence d'échantillonnage (Fe = 25 kHz) pour assurer la condition de Shannon et éviter les repliements du signal.

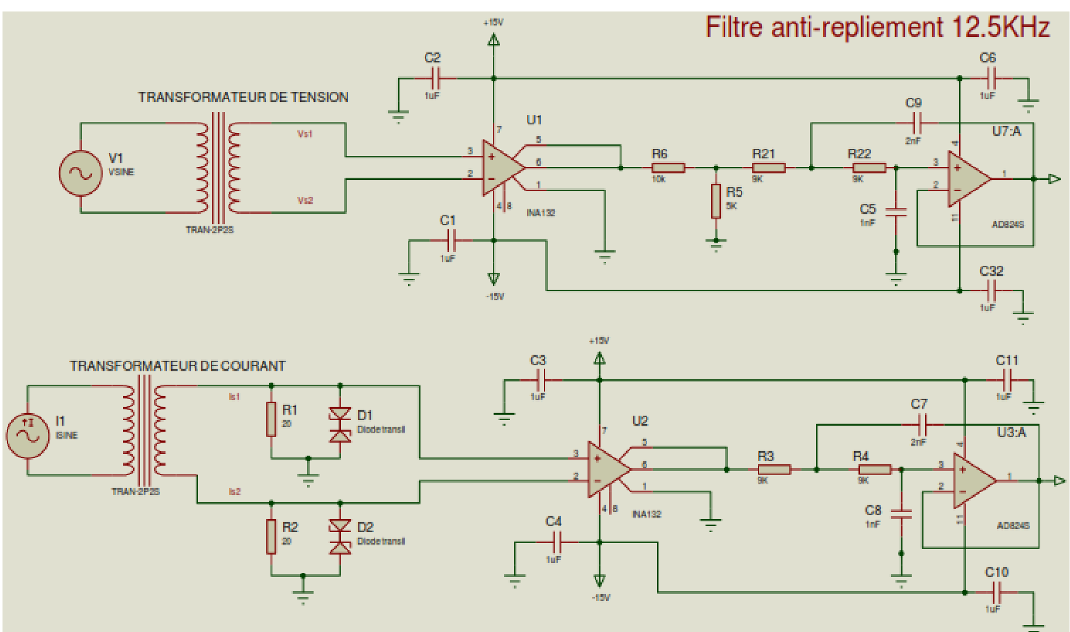


Figure 13: Montage avec filtre anti-repliement.

2. Tests de la carte d'acquisition des signaux

2.1 Introduction

Après l'étude de la carte d'acquisition et les étapes de sa réalisation, on s'est rendu compte que la carte d'acquisition n'était testée que bloc par bloc et le fonctionnement global de la carte n'est pas encore testé. Ainsi, notre première tâche technique était de tester le fonctionnement global de la carte. Dans cette partie nous allons détailler les différents tests réalisés ainsi que leurs résultats.

2.2 Test de la carte : partie TC

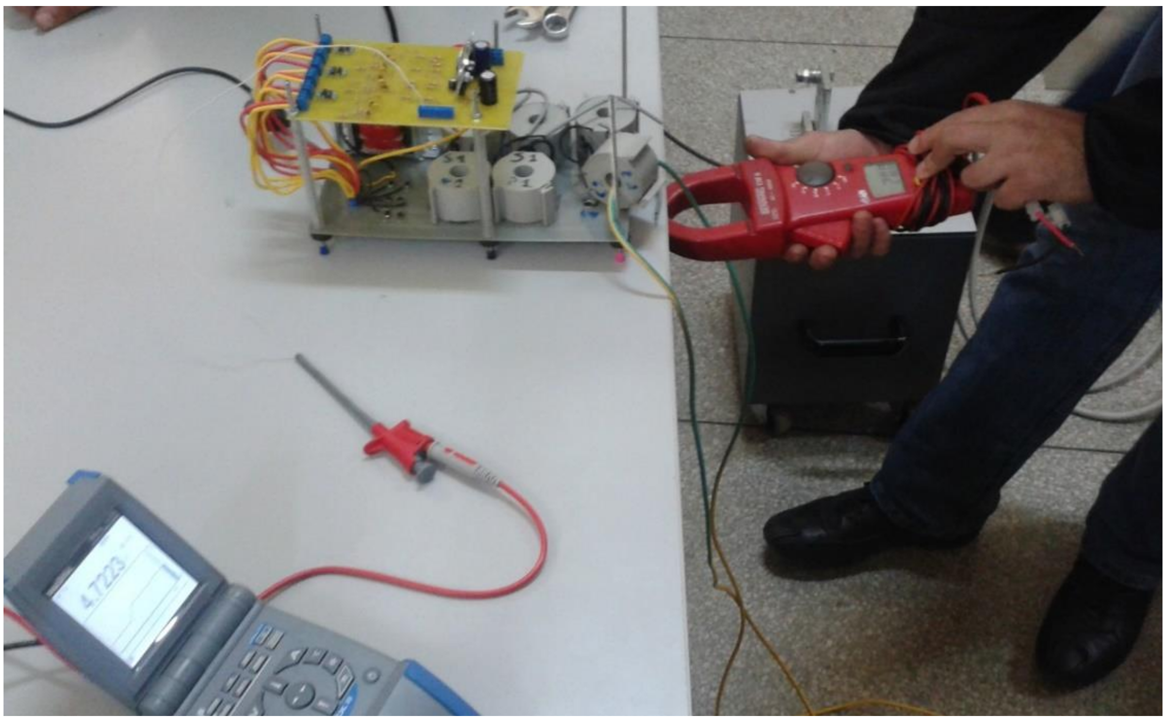


Figure 14: Test de la partie TC

Le test a commencé par l'injection des courants de 0 à 50A à l'aide d'un générateur de courant, les résultats n'étaient pas assez satisfaisants, les réponses des TC sont décrites dans le tableau 2 :

Table 2: résultats du test des parties TC

TC1		TC2		TC3	
Input	Output	Input	Output	Input (A)	Output (V)
-	-	-	-	1.9	1.05
-	-	-	-	2.1	1.25
-	-	-	-	3.1	1.80
-	-	-	-	3.3	1.91
-	-	-	-	4.1	2.41
-	-	-	-	4.8	2.76
-	-	-	-	5.5	3.15
-	-	-	-	7.1	4.09
-	-	-	-	7.7	3.75
-	-	-	-	8.5	3.70
-	-	-	-	8.7	3.3
-	-	-	-	…	…
-	-	-	-	14.9	4.5
-	-	-	-	15.6	4.37
-	-	-	-	18.6	4.31
-	-	-	-	19.5	4.29
-	-	-	-	20	4.18
-	-	-	-	50	4.18

Pour les parties TC1 et TC2, aucun résultat n'est obtenu.

On en déduit d'après ses résultats que les deux premières parties (TC) ne fonctionnent pas. Mais, la 3éme donne des résultats qui apparaissent anormaux, afin d'étudier la réponse du TC3 on a tracé sa courbe sur le graphe ci-dessous :

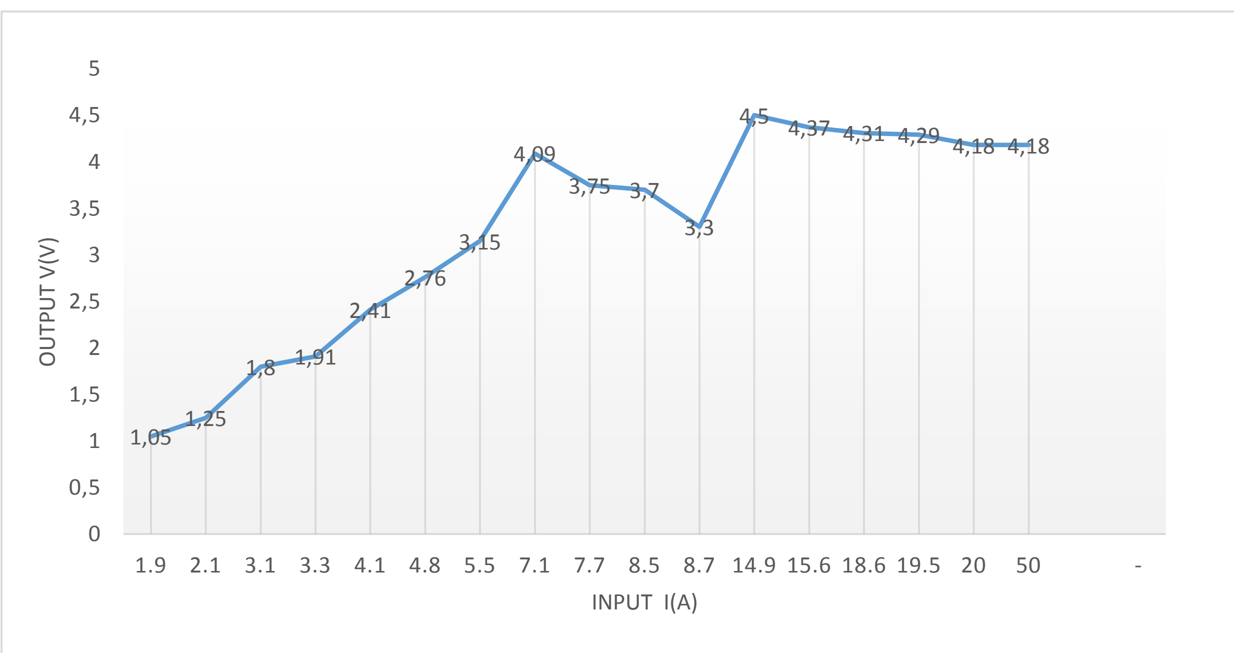


Figure 15: courbe de réponse de la partie TC3

On remarque que la réponse de la partie TC est quasi linéaire entre la valeur 0 et 7.1 A, et quasi constante au-delà de 15A.

2.3 Test de la carte : partie TT

Le problème des Transformateurs de tensions réside dans un chauffage remarquable après l'injection d'une tension dans leurs primaires.

Après le test des TT isolés de la carte électronique, on a rencontré le même problème, les transformateurs chauffent toujours.

On a donc vérifié le fonctionnement de la carte électronique partie TT, et on a obtenu les résultats suivants :

Table 3: résultat du test de la partie TT1

Input (V)	Output (V)
1.42	2.4808
1.87	2.4881
2.12	2.4933
2.48	2.5019
2.98	2.5175
3.74	2.5412
4.07	2.5531
4.48	2.5715
5.2	2.6062
5.96	2.6471
6.8	2.6988
7.35	2.7348
8.08	2.7871
8.9	2.8509
9.53	2.9044

De même que pour les parties TC, on a tracé une courbe qui illustre ces résultats, et on a obtenu le graphe ci-dessous :

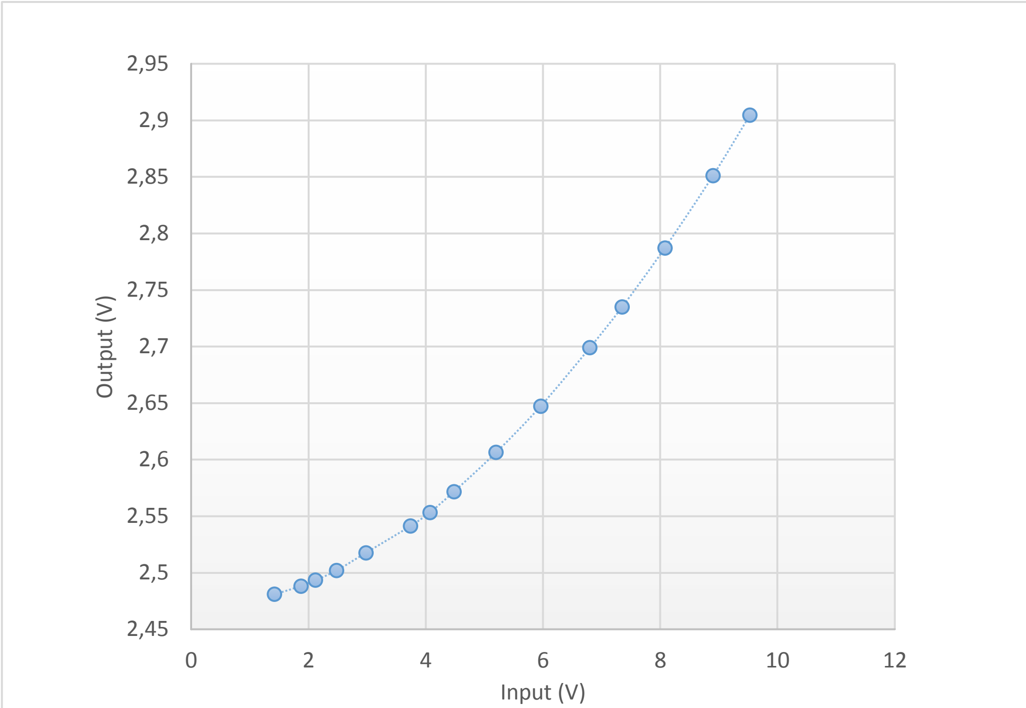


Figure 16: courbe de réponse de la partie TT1

Les résultats ci-dessus sont ceux de la partie TT1, les autres étages TT ont des réponses similaires. On remarque que la réponse dans la marge entre 6 à 12v qui nous intéresse est bien linéaire.

2.4 Conclusion

Le but de ces tests était de confirmer le bon fonctionnement de la carte d'acquisition complète, or les résultats obtenus n'étaient pas satisfaisants, et par conséquent on a décidé de ne pas travailler avec ce module, et de chercher une autre alternative pour acquérir les tensions et les courants de la ligne.

3. La carte de traitement

La carte mère DsPICDEM embarque l'ensemble des modules nécessaire pour le fonctionnement du DSP à savoir les régulateurs de tension, UART et son adaptateur, Connecteur Débogueur, LED's, Swtich's, des connecteur pour simplifier l'accès au pin du DSP et un potentiomètre.

La carte de démonstration et développement DsPICDEM peut recevoir de nombreux DsPIC différents. Parmi lesquels le DsPIC33F qui sera par la suite le cœur de notre relais.

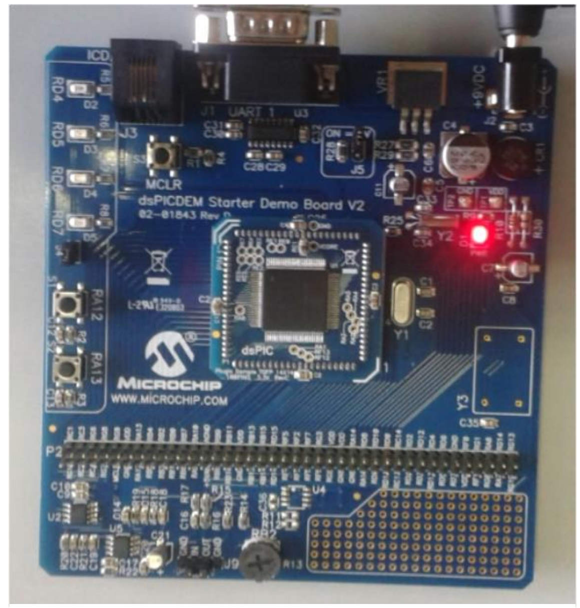


Figure 17: carte DsPICDEM

4. DsPIC 33F

Le processeur d'un DsPIC33FJ256GP710A est un processeur 16-bits. Ce qui veut dire qu'il peut réaliser des opérations élémentaires (additions, soustractions) directement sur des entiers codés sur 16-bits.

De plus, le processeur du DsPIC est accompagné d'un cœur DSP (Digital Signal Processing). Ce cœur est une espèce de processeur annexe dédié aux calculs mathématiques.

Ce qui confère au DsPIC la possibilité de réaliser rapidement multiplications, divisions, calculs trigonométriques… Cette puissance de calcul est d'un confort remarquable, surtout lorsqu'on programme en C.

Le DsPIC33FJ256GP710A embarque plusieurs modules utiles pour le fonctionnement de notre relais à savoir :



Figure 18: DsPIC33FJ256GP710A

- Convertisseurs analogiques numériques
- Accès direct au mémoire (DMA)
- Bus de communication série SPI
- Bus de communication série I2C
- Bus de communication série UART

Le fonctionnement et les caractéristiques de ces modules seront traités en détail par la suite.

NB : le DsPIC33FJ256GP710A n'était pas notre propre choix, il était acheté l'année précédente [2]

5. Convertisseur analogique numérique

C'est le premier élément de la chaîne de traitement. Après l'acquisition des six signaux et leur conditionnement et filtrage, ils sont transmis vers l'ADC afin de les convertir en des valeurs numériques, pour se faire il scanne les six entrées analogiques (AN4, AN5, AN12, AN13, AN14, AN15) successivement et d'une manière répétitive chaque scan et suivi de deux étapes primordiales qui sont l'échantillonnage et la quantification (Conversion).



Figure 19: schéma de fonctionnement de l'ADC

L'échantillonnage et la quantification sont gérés d'une manière automatique du faîte que l'un commence après la fin de l'autre, le détail des temps d'échantillonnage et de conversion est détaillé dans la partie software. La figure 20 décrit le fonctionnement global du convertisseur analogique numérique dans un DsPIC33F :

1. L'entrée analogique est connectée à une capacité d'échantillonnage.
2. La capacité d'échantillonnage est déconnectée de l'entrée analogique.
3. La tension enregistrée est convertie au mot binaire équivalent

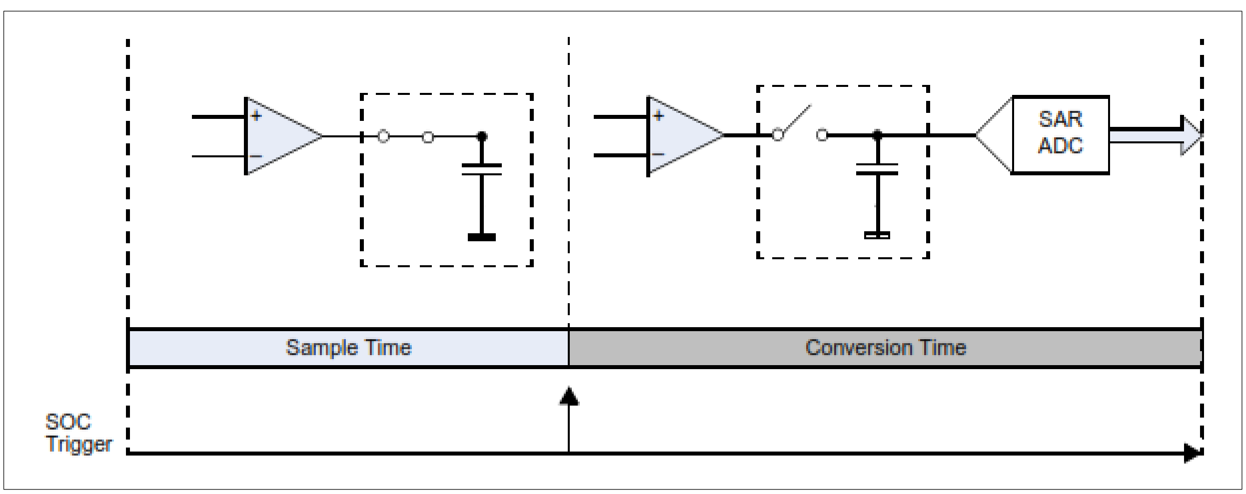


Figure 20: Étapes de conversion de l'ADC

Afin de ne pas interrompre le processeur à chaque échantillon pour le lire et le stocker en mémoire, on a associé un canal DMA avec l'ADC qui se charge de stocker les échantillons directement en mémoire sans intervention du processeur central jusqu'au remplissage d'un accumulateur d'une taille définie.

6. Direct Memory Access (DMA)

6.1 Généralités

Le DMA est un Procédé d'accès direct à la mémoire, sans utilisation de l'UC. Cela permet aux circuits périphériques de lire et d'écrire des données en mémoire très rapidement. Les techniques DMA sont variables selon le type de processeur.

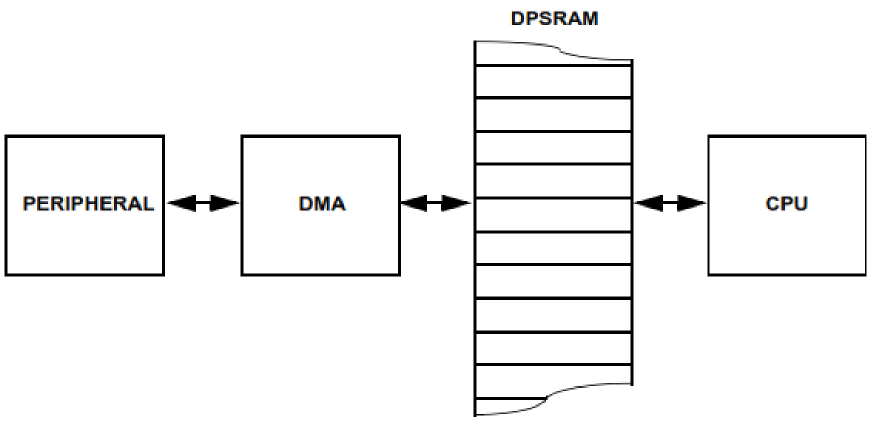


Figure 21: Schéma du fonctionnement du DMA

Dans le DsPIC33F le DMA (Figure 22) est composé de huit canaux [3], chaque canal peut fonctionner indépendamment des autres, et il est caractérisé par les paramètres suivants :

1. Il occupe 2Ko dans la RAM de 0x7800 à 0x7FEE.
2. Il fonctionne en un seul buffer ou bien en deux pour le mode ping-pong.
3. 4 mode possible one-shot, continue avec ou sans ping-pong.
4. Il peut opérer avec les périphériques suivants :

INT0 – External Interrupt 0
IC1 – Input Capture 1
OC1 – Output Compare 1
IC2 – Input Capture 2
OC2 – Output Compare 2
TMR2 – Timer 2
TMR3 – Timer 3
SPI1 – Transfer Done
UART1RX – UART1 Receiver
UART1TX – UART1 Transmitter
ADC1 – ADC1 Convert Done
UART2RX – UART2 Receiver

UART2TX – UART2 Transmitter
SPI2 Transfer Done
ECAN1 – RX Data Ready
PMP – PMP Master Data Transfer
DCI – CODEC Transfer Done
ECAN1 – TX Data Request
DAC1 – DAC1 Right Data Output
DAC1 – DAC1 Left Data Output

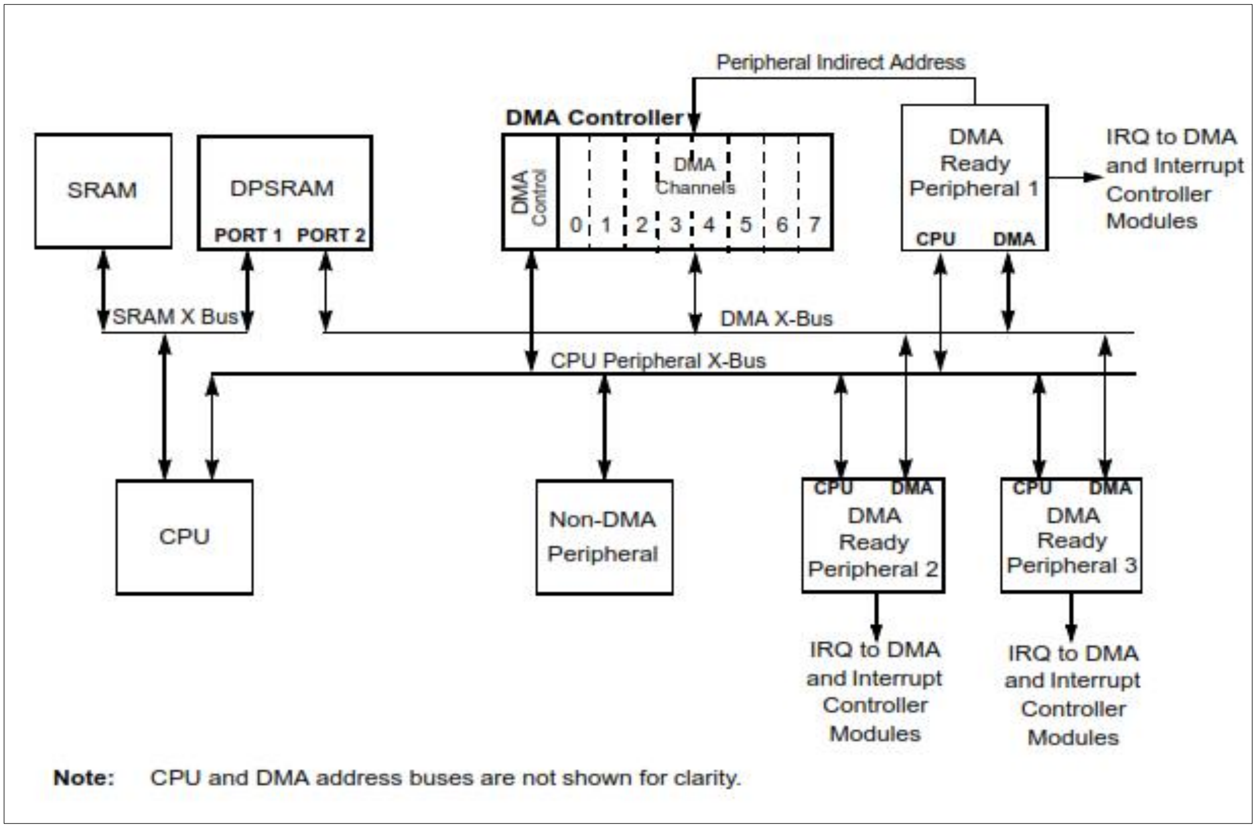


Figure 23: Architecture interne du DMA

6.2 Fonctionnement

Exemple d'utilisation du DMA, Canal 5 :

Après la sélection du canal 5 et avoir terminé sa configuration (mode de fonctionnement, taille de mot, périphérique associé, taille du buffer…) le DMA démarre son fonctionnement dès qu'un résultat du périphérique est prêt à être transféré vers la mémoire (Annexe 5).

- ✓ Le périphérique envoie une requête vers le DMA.
- ✓ Le DMA envoie l'adresse du périphérique concerné.
- ✓ Le DMA lit la donnée.
- ✓ Le DMA transféré la donnée vers le DMA RAM.

7. Serial Random Access Memory (SRAM)

7.1 Critères du choix

L’ajout des SRAM’s dans notre carte de traitement n’était pas un choix, mais plutôt une obligation. Après avoir étudié les différents blocs du DSP33F on s’est rendu compte que sa mémoire RAM interne ne dépasse pas les 30Ko.

Cependant, la carte du traitement est dimensionnée sur une fréquence d’échantillonnage de 25KHz. Donc pour stocker 3s du signal en permanence comme indiqué dans le cahier des charges, nous avons besoin d’une mémoire de capacité M1 :

$$M1 = (25000 \times 6 \times 2 \times 3) \div 1024 = 879\text{Ko}$$

25K échantillons par Seconde, 6 signaux, 2 octets à chaque échantillon, 3 Secondes. Pour résoudre ce problème nous avons le choix entre 2 solutions :

1ére Solution : Diminuer la fréquence d’échantillonnage. Si on choisi une fréquence d’échantillonnage de 500Hz, donc 10 échantillons par période on aura besoin d’une taille mémoire M2 :

$$M2 = (500 \times 6 \times 2 \times 3) \div 1024 = 17.5\text{Ko}$$

Il ne restera que 12.5Ko pour le fonctionnement du microprocesseur, et aussi la nécessite de changement de la carte d’acquisition qui est l’inconvénient majeur de cette solution!!!

2éme Solution : Extension de la mémoire interne.

La deuxième solution consiste à ajouter des mémoires RAM externes, qui satisfait les critères suivants :

- Infinité de cycles Lecture/Écriture ;
- Communication Série (minimiser les fils) ;
- Grande Capacité mémoire ;
- Prix raisonnable.

7.2 SRAM Microchip (23lcv1024)

Après une recherche dans les composants disponible sur le marché tout en respectant les critères ci-dessus. On a choisi la SRAM 23lcv1024 de la société Microchip commercialisée par Mouser Electronic en France (aucune SRAM n’est disponible au Maroc).

Product Category: SRAM
Memory Size: 1 Mbit
Organization: 128 k x 8
Maximum Clock Frequency: 20 MHz
Interface: SPI
Supply Voltage - Max: 5.5 V
Supply Voltage - Min: 2.5 V



Figure 24: SRAM 23lcv1024

Pour calculer le nombre des SRAM qui répond à notre besoin on calcul le rapport suivant :

$$N = 879 \div 128 \cong 7 \text{ SRAM}$$

Nous avons commandé 10 SRAM afin de compléter 4 secondes d'enregistrement.

8. Serial Peripheral interface (SPI)

8.1 Critère du choix

On a choisi le bus SPI comme interface de communication entre le processeur et les SRAM et ensuite la carte SD (qui ne sont accessible que par le SPI).

Le Bus SPI présente pour nous un grand avantage, en effet, son débit important (10MHz) va nous permettre de stocker les échantillons du signal en temps réel, et aussi le nombre des fils de communication utilisé est réduit.

8.2 Bus SPI

Une liaison SPI est un bus de donnée série synchrone qui opère en Full duplex. Les circuits communiquent selon un schéma maître-esclaves, où le maître s'occupe totalement de la communication. Plusieurs esclaves peuvent coexister sur un bus, la sélection du destinataire se fait par une ligne dédiée entre le maître et l'esclave appelée "chip select".

Le bus SPI contient 4 signaux logiques ;

- **SCLK** — Horloge (généré par le maître)
- **MOSI** — Master Output, Slave Input (généré par le maître)
- **MISO** — Master Input, Slave Output (généré par l'esclave)
- SS — Slave Select, Actif à l'état bas, (généré par le maître)

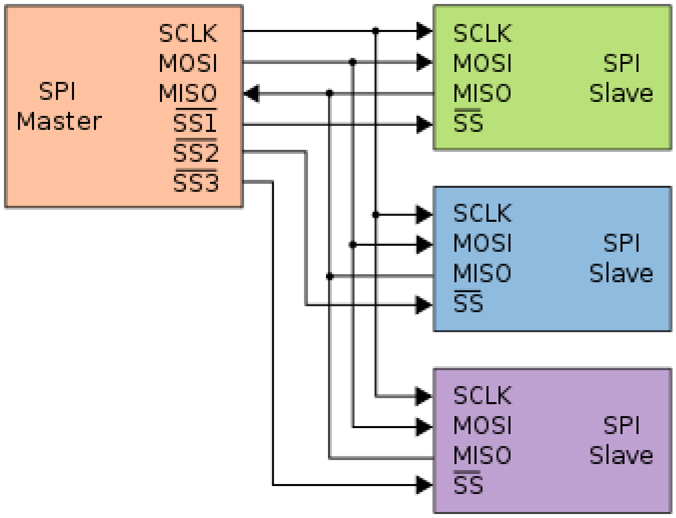


Figure 25: Topologie du SPI

8.3 Fonctionnement

Une transmission SPI typique est une communication simultanée entre un maître et un esclave.

Le maître génère l'horloge et sélectionne l'esclave avec qui il veut communiquer L'esclave répond aux requêtes du maître.

À chaque coup d'horloge, le maître et l'esclave s'échangent un bit. Après huit coups d'horloges, le maître a transmis un octet à l'esclave et vice-versa. La vitesse de l'horloge est réglée selon des caractéristiques propres aux périphériques.

8.4 Mise en œuvre

Dans la conception de notre relais, on a utilisé le SPI2 (SCK2(RG6), SDI2(RG7), SDO(RG6)) et pour les "chip select" on a utilisé le PORTC (RC1…RC4) et le PORTB (RB6...RB11).

Comme c'est mentionné dans le manuel des recommandations d'utilisation des SRAM, on a ajouté des résistances pull-up de 10k pour les pin's CS et une capacité de 0.1uF pour les pin's VDD du SRAM.

Le câblage des SRAM est détaillé dans la figure 26 :

Table 4: Brochage des SRAM avec le DsPIC

SCK2	RG6
SDI2	RG7
SDO2	RG8
CS1	RC1
CS2	RC2
CS3	RC3
CS4	RC4
CS5	RB6
CS6	RB7
CS7	RB8
CS8	RB9
CS9	RB10
CS10	RB11

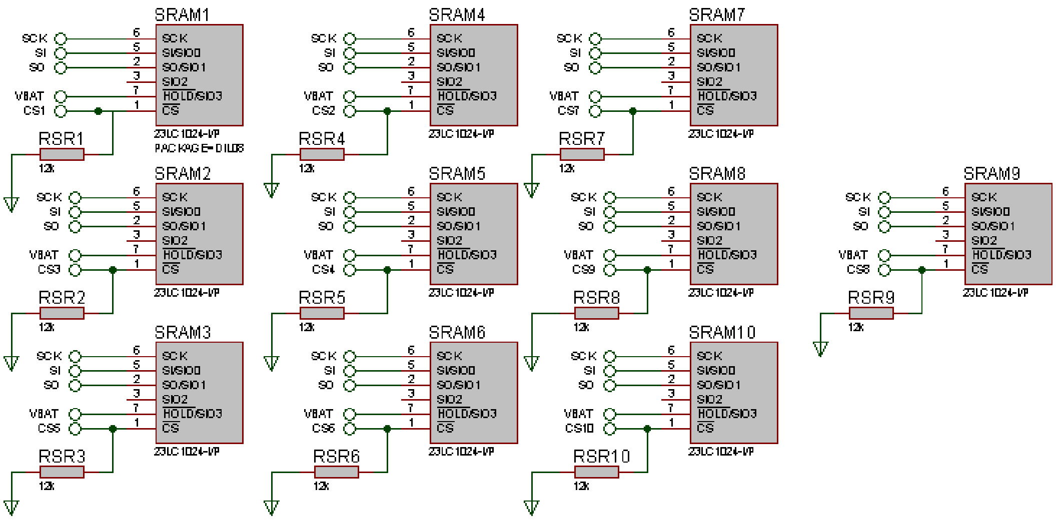


Figure 26: Schéma des SRAM

9. Liquid-Crystal Display (LCD)

L'afficheur LCD (Liquid-crystal display) présente l'interface homme-machine dans le relais, il permet d'afficher les valeurs efficaces des courants et tensions, signaler la présence des défauts et l'état du relais.

On a choisi un Afficheur LCD 4x20 afin d'avoir l'espace nécessaire pour l'affichage des informations et on a préféré le mode 4 broches pour minimiser l'encombrement du câblage comme illustré sur le schéma ci-dessous :

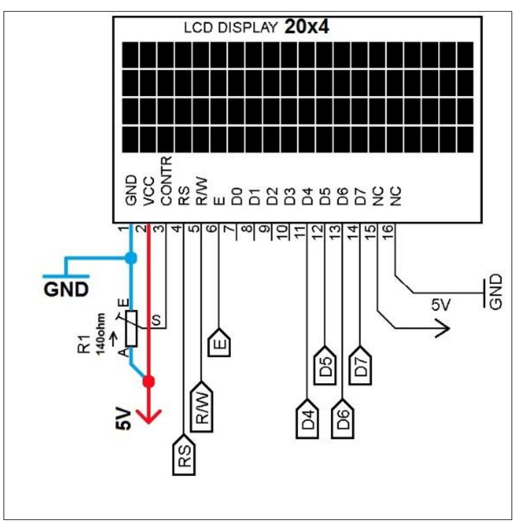


Figure 27: Pin du LCD

Table 5: Brochage de LCD avec le DsPIC :

RS	RD2
R/W	GND
E	RD3
D4	RD4
D5	RD5
D6	RD6
D7	RD7

10. EEPROM

10.1 Critère du choix

Dans le but de stocker une base de données des réseaux et une autre pour mémoriser les défauts, le choix des EEPROM était indispensable pour leur capacité de mémoriser les données hors tension, leur simplicité d'utilisation et leur disponibilité sur le marché.

Notre choix s'est fixé sur l'EEPROM AT24C64 de la société Atmel, qui présente les caractéristiques suivantes :

Product Category: EEPROM
Memory Size: 64 kbit
Organization: 8192 bit x 8
Data retention: 100 years
Endurance: 1 Million write cycle
Maximum Clock Frequency: 400 kHz
Interface: I²C
Supply Voltage - Max: 5.5 V
Supply Voltage - Min: 2.7 V

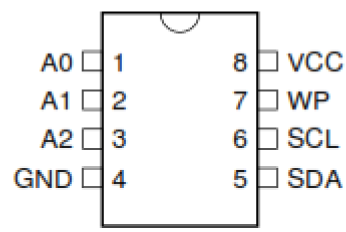


Figure 28: Pin de l'EEPROM AT24C64

L'EEPROM AT24C64 possède 8 pin distribués comme suit :

Table 6: Description des Pin de l'EEPROM AT24C64

Nom du Pin	Fonction
A0...A2	Adresse EEPROM
WP	Protection d'écriture
SCL	Entrée horloge série
SDA	Donnée série

10.2 Communication

L'écriture et la lecture dans AT24C64 se font à travers les pin's SDA et SCL en respectant les trames suivantes :

Trame d'Écriture : elle commence par un bit de Start suivie par les informations octet par octet, la réception de chaque octet est confirmée par l'envoi d'un acquittement par l'EEROM.

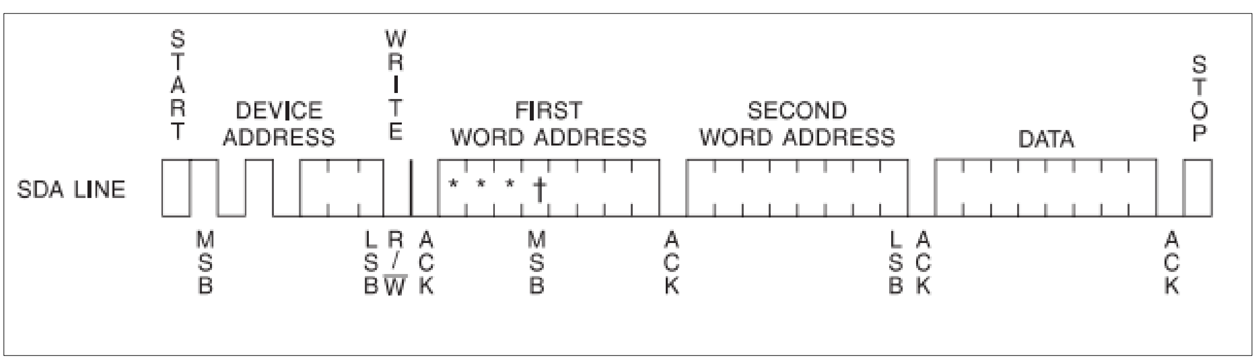


Figure 29: Trame d'écriture dans l'EEPROM 24C64

Trame de Lecture :

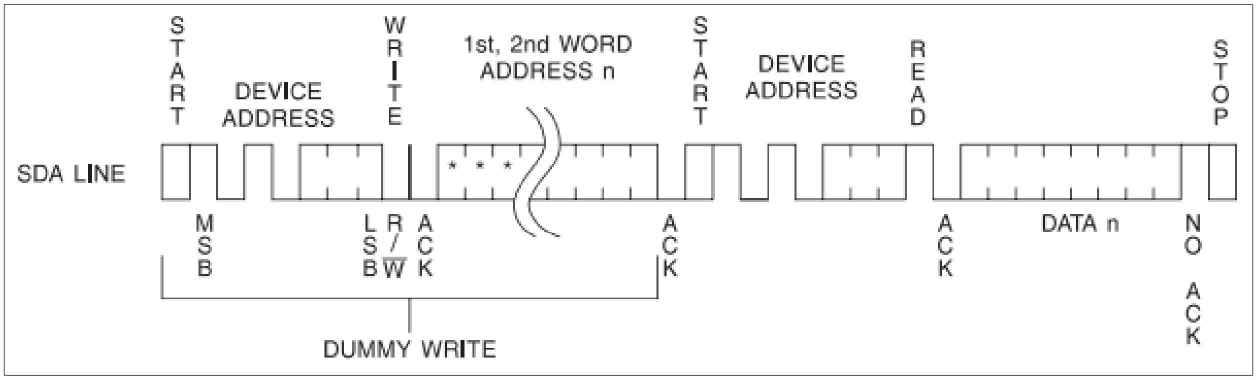
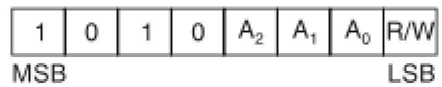


Figure 30: Trame de la lecture de l'EEPROM 24C64

L'adresse du composant est définie comme suit :



11. Real Time Clock (RTC)

11.1 Critère du choix



Figure 31: RTC DS1307

Selon le cahier des charges, le relais doit enregistrer un historique des défauts survenus dans la ligne MT, ce qui nécessite la détection de la date et l'heure du défaut.

Pour cet enregistrement, nous avons choisi le module horloge temps réel RTC DS1307 (Figure 31).

11.2 RTC DS1307

Une horloge temps réel (terme parfois abrégé en HTR, en anglais real-time clock ou RTC), est une horloge permettant un décomptage très précis du temps (par exemple en nanosecondes) pour un système électronique, en vue de dater ou déclencher des évènements selon l'heure. Elle utilise souvent un quartz piézoélectrique.

Caractéristique :

- Horloge temps réel : Année, mois, jour, heure, minute, seconde.
- Stockage NVRAM 56 byte
- Interface Série (I2C)
- Alimentation DC 5V
- Batterie Lithium 3V CR2032
- Consommation très faible (500nA en mode battery backup)

12. Inter-Integrated Circuit (I²C)

12.1 Bus I2C

Le bus I2C permet d'assurer la communication entre des composants électroniques très divers grâce à seulement trois fils :

- Un signal de donnée (SDA),

- Un signal d'horloge (SCL),

- Un signal de référence électrique (Masse).

Les données sont transmises en série à 100Kbits/s en mode standard jusqu'à 400Kbits/s en mode rapide.

12.2 Topologie

Les 2 lignes sont tirées au niveau de tension VCC à travers des résistances de pull-up. Le nombre maximal d'équipements est limité par le nombre d'adresses disponibles, 7 bits pour l'adresse et un bit pour définir si on écrit ou on lit, soit 128 périphériques, mais il dépend également de la capacité du bus (dont dépend la vitesse maximale du bus).

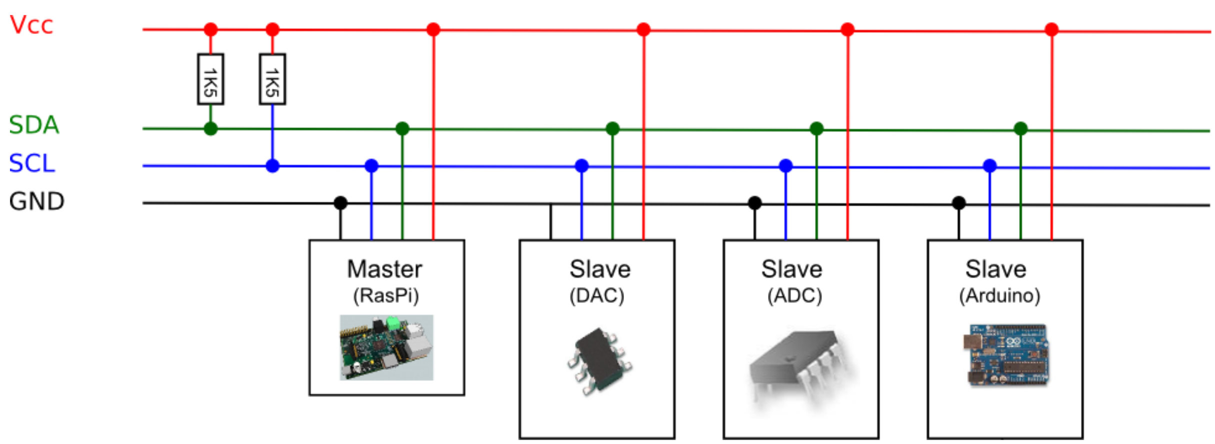


Figure 32: Topologie I2C

12.3 Mise en œuvre

Dans la conception de notre relais, on a utilisé deux EEPROM 24C64, la figure 33 présente le schéma utilisé, l'EEPROM contenant la base de données du départ a l'adresse 000 (A0, A1 et A2 relié à GND), la deuxième qui stockera l'historique des défauts a l'adresse 001 (A0 et A1 relié à GND, A2 a VDD).

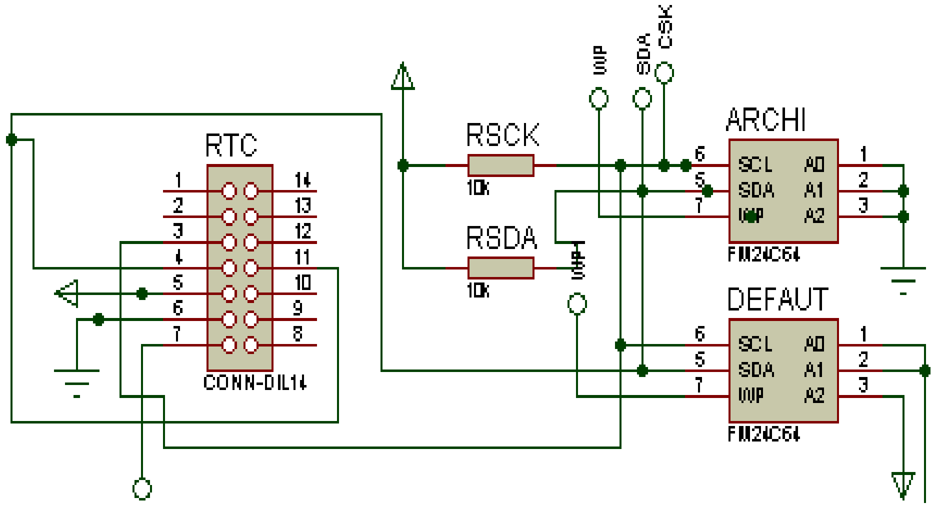


Figure 33: Brochage du RTC et des EEPROM

NB. Les pin's A0,A1 et A2 ont des résistances pull-down embarqué dans le module.

13. RS-232

13.1 Critère du choix

La liaison RS-232 présente pour notre relais le lien de communication entre ce dernier et l'interface graphique réalisée sous le logiciel Visual Studio, on a utilisé la liaison RS-232 car c'est le seul port de communication CARTE-PC disponible dans la carte DsPIC33F. Puisque la plupart des ordinateurs portables ne possèdent pas un port RS-232, on a utilisé un adaptateur RS-232 USB.

13.2 RS-232

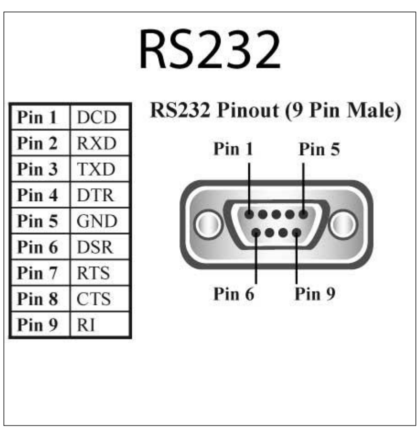


Figure 34: Pin du câble RS-232

RS-232 est une norme standardisant un bus de communication de type série sur trois fils minimum (électrique, mécanique et protocole). Disponible sur presque tous les PC depuis 1962 jusqu'au milieu des années 2000.

Les liaisons RS-232 sont fréquemment utilisées dans l'industrie pour connecter différents appareils électroniques (automate, appareil de mesure, etc.). La connectique de cette liaison se présente fréquemment sous la forme du connecteur DE-9 ou DB-25, la transmission des éléments d'information (ou bit) s'effectue bit par bit, de manière séquentielle.

14. Carte SD

14.1 Critère du choix

Le stockage de l'ensemble des échantillons placé dans les 10 SRAM après l'apparition des défauts était pour nous un défi à cause du manque du protocole USB dans la carte DsPIC33F, par ailleurs le Bus UART a un débit très faible 11Kbit/s.

Après plusieurs jours de recherche et après la maîtrise d'une bibliothèque software adapté à la carte SD on a décidé d'utiliser cette dernière pour réaliser cette tâche.



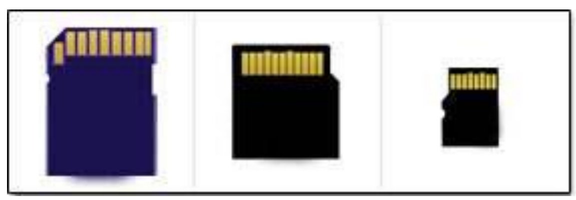
Figure 35: Carte SD et son adaptateur

14.2 SD Card

Une carte SD, "Secure Digital", est une carte mémoire. Elle est amovible et permet de stocker des données numériques. Utilisées sur de nombreux périphériques (lecteur DVD / bluray, disque dur multimédia, appareil photo, caméscope, cadre photos, etc.), les cartes SD offrent une capacité pouvant aller jusqu'à 128 Go. Le débit en écriture est variable en fonction de la "classe" de la carte, allant de 0,9 Mb/s à 45 Mb/s.

La carte SD est déclinée en plusieurs formats :

- SD (24 mm x 32 mm)
- Mini SD (20 mm x 21,5 mm)
- Micro SD (11 mm x 15 mm)


Figure 36: Différents types des cartes SD

Il existe des adaptateurs permettant d'utiliser les cartes micro et mini dans les lecteurs de cartes SD.

14.3 Mise en œuvre

Pour l'exploitation de la carte SD et la simplification de son embarquement dans le relais on a utilisé le module présenté sur la figure 37.

Le module est relié directement au DsPIC33F (SPI1) suivant le tableau ci-dessous :



Figure 37: Lecteur carte SD

Table 7: Brochage des pin du Lecteur SD avec le DsPIC

MOSI	RF8
MISO	RF7
SCK	RF6

15. Détection de présence du défaut

15.1 Choix de la solution

La détection de présence de défaut est une partie très sensible dans le fonctionnement du relais, pour se faire on avait deux solutions :

La première était de réaliser cette détection par logiciel on testant toutes les valeurs échantillonnées par l'ADC. Si ces valeurs sont constantes pendant une durée, on déclenche une interruption pour le DsPIC. L'avantage de cette solution c'est qu'on n'a pas besoin d'ajouter du matériel, mais elle va compliquer le programme en ajoutant beaucoup de calcul qui va alourdir le traitement et remplir la mémoire avec des valeurs inutiles.

La deuxième solution se base sur la détection de coupure de tension dans la ligne. Cette opération est assurée par un montage redresseur et un comparateur à base d'un amplificateur opérationnel (figure 38).

On a adopté cette dernière solution on se basant sur deux avantages principaux : diminuer d'avantage la complexité du traitement réalisé par le processeur et le temps de réponse à l'évènement de coupure qui est rapide (détection Hardware) par rapport à la première solution.

15.2 Fonctionnement

Le montage est séparé en deux étages un filtre passe-bas (détecteur d'enveloppe) et un comparateur a un seul seuil, la figure 38 illustre le montage complet :

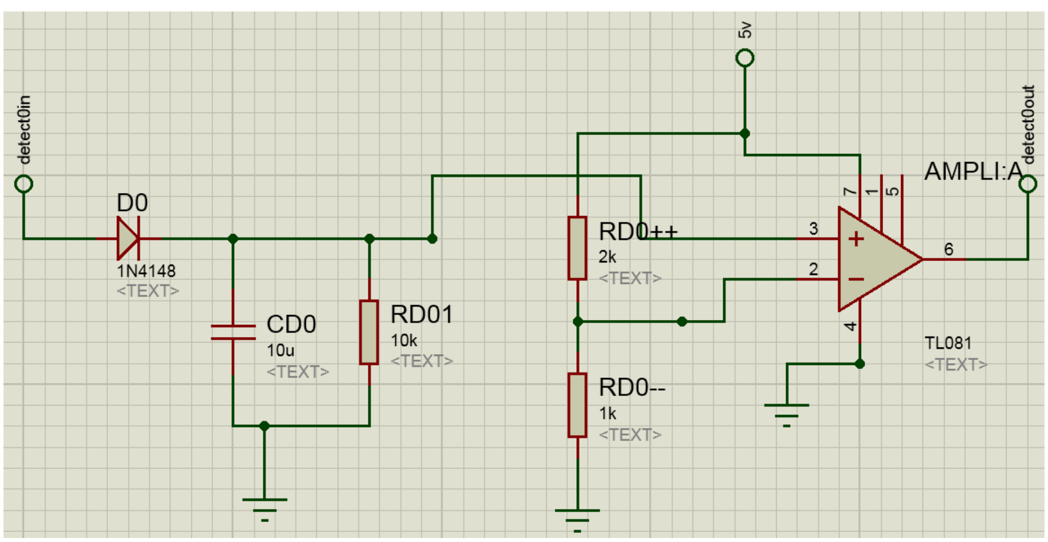


Figure 38: Montage complet du détecteur de défaut

Le premier élément du filtre est une diode (D0) qui élimine la partie négative du signal, un condensateur (CD0) en parallèle avec une résistance (RD01) a pour rôle de réduire la tension crête à crête d'ondulation du signal pour que la tension de sortie ne soit pas inférieure au seuil du comparateur afin de ne pas engendrer un défaut fictif, la figure 39 illustre le fonctionnement du filtre :

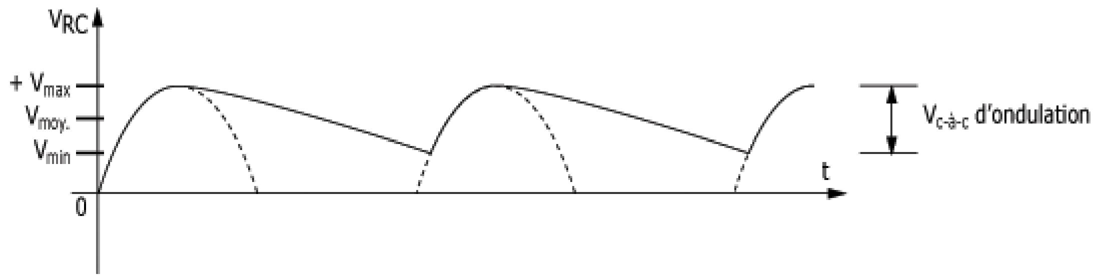


Figure 39: Forme du signal après filtrage

Cela nécessite un choix de la constante du temps $\tau = R*C$ adéquate. Cette constante doit être supérieur aux demis périodes $\tau \geq 0.5 * 1/50 = 10$ ms, pour cela on a choisi une capacité de 10µF et une résistance de 10Kohm. La simulation du montage a donné le résultat suivant :

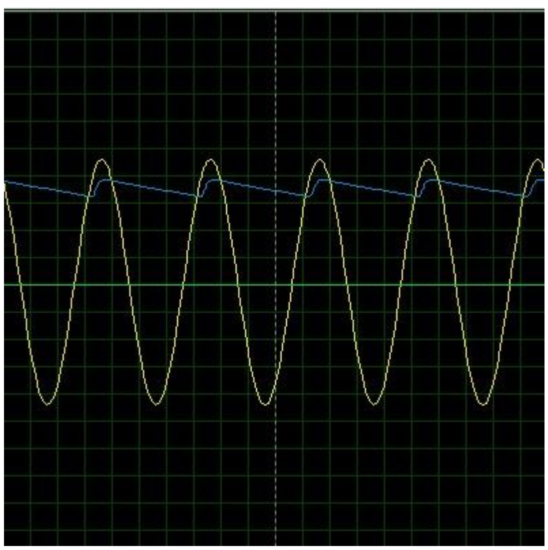


Figure 40: Résultat de simulation après filtrage

Le montage amplificateur est un comparateur avec un seuil. Il sert à conditionner le signal pour l'entrée du DsPIC en un signal logique de 0V et 5V.

CHAPITRE III

Partie software

Ce chapitre décrit la partie logicielle du système réalisé, son raisonnement, et l'interface utilisateur qui fonctionne sur l'ordinateur.

1. Introduction

Afin de gérer la partie matérielle, il faut réaliser la partie logicielle qui va contrôler et commander le fonctionnement de chaque élément.

Notre logiciel est réalisé en langage C en utilisant l'environnement de développement intégré de Microchip MPLAB®X IDE qui facilite l'édition du code et la détection des erreurs. Le compilateur utilisé pour la génération du fichier binaire de programmation du DsPIC est le XC16, qui est délivré par Microchip en version gratuite sans optimisation du ficher binaire.

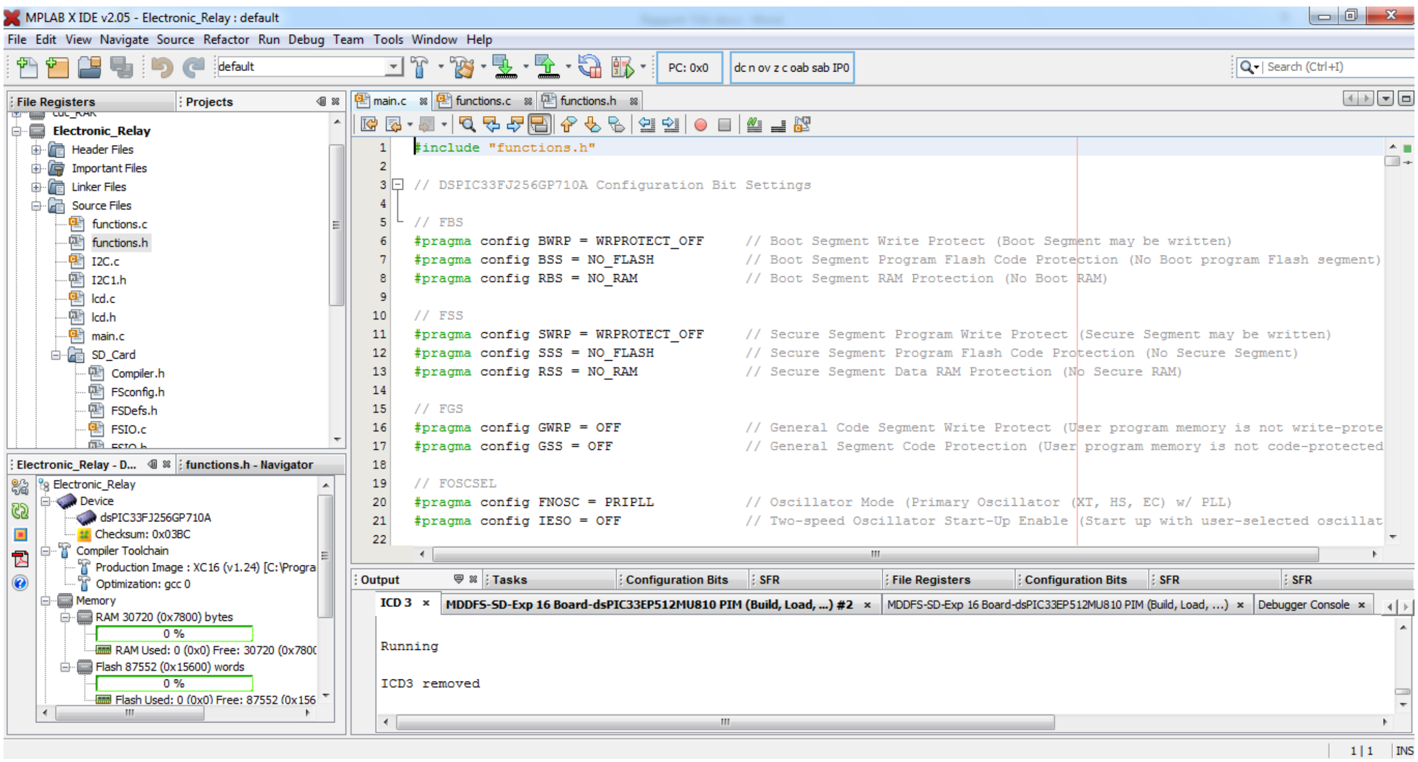
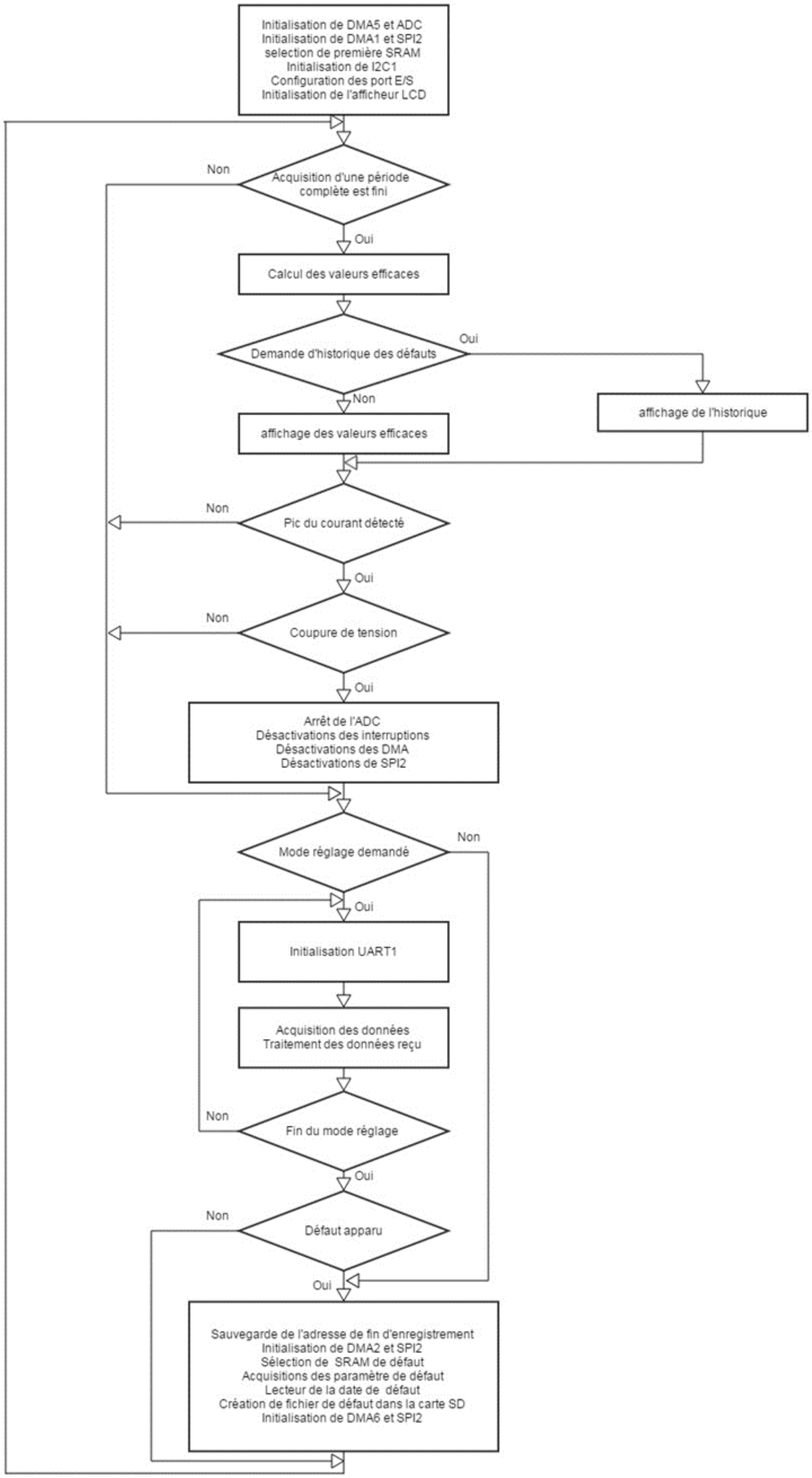


Figure 41: Interface de l'environnement de développement de MPLAB X

2. L'organigramme du programme principal

La figure suivante décrit le programme principal du système 'main' :



Organigramme 1: Programme principal

3. Configuration des modules de DsPIC et description des interruptions

3.1 Convertisseur analogique numérique

Pour répondre à notre besoin il faut paramétrer l'ADC de façon à balayer les 6 entrées l'une après l'autre dans l'ordre V1, I1, V2, I2, V3 et I3. Les résultats de l'échantillonnage sont quantifiés sur 12 bits pour une meilleure résolution. Chaque signal est échantillonné a une fréquence de 25 kHz ce qui donne une fréquence d'échantillonnage globale de 150 kHz. Pour aboutir à ce résultat on a fixé un temps d'échantillonnage de 3.8µs et un temps de conversion de 2.8µs.

3.2 L'envoi des données vers les SRAM

Pour assurer la continuité d'acquisition des signaux de la ligne sans perte des données, il faut que l'étape de conversion assurée par l'ADC et le stockage de données dans les SRAM assurées par le SPI2, s'effectuent simultanément. Pour cela nous avons associé l'ADC avec le DMA5 et SPI2 avec le DMA1. Aussi, on a divisé la mémoire dédiée au module DMA en deux Buffers, A et B de 1020 octets chacun, dans le but de stocker directement les 510 échantillons selon la démarche suivante :

- Le Buffer A est associé avec le DMA5.
- Après le remplissage du Buffer A, il sera associé avec le DMA1 pour envoyer les données vers les SRAM, en même temps Le DMA5 opère avec le Buffer B.
- Après le remplissage de Buffer B, il est associé avec le DMA1 pour envoyer les données vers les SRAM et Le DMA5 fonctionne à nouveau avec le Buffer A .
- Le cycle se répète infiniment.

La figure 42 résume l'alternance des deux DMA avec les deux buffers :

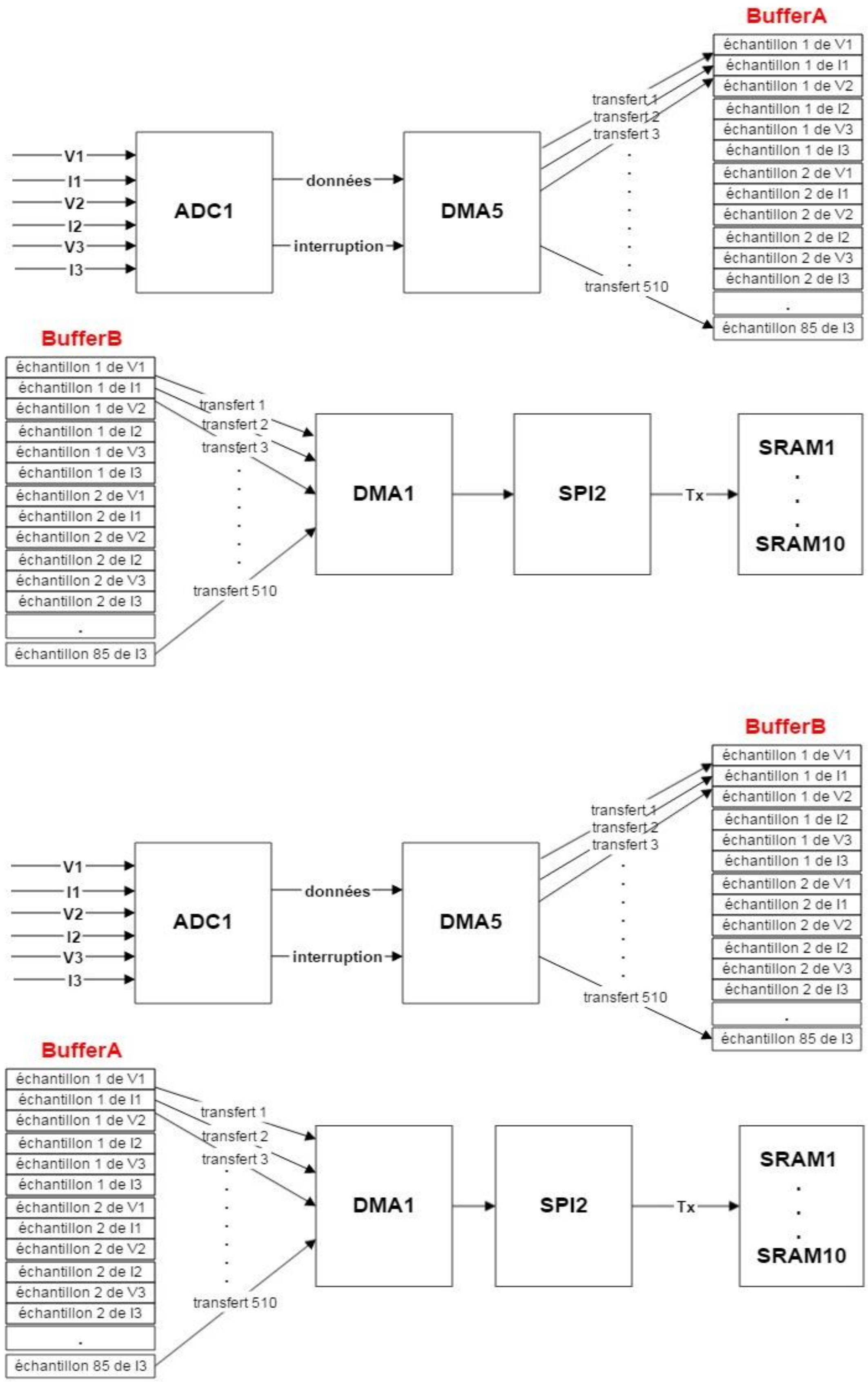
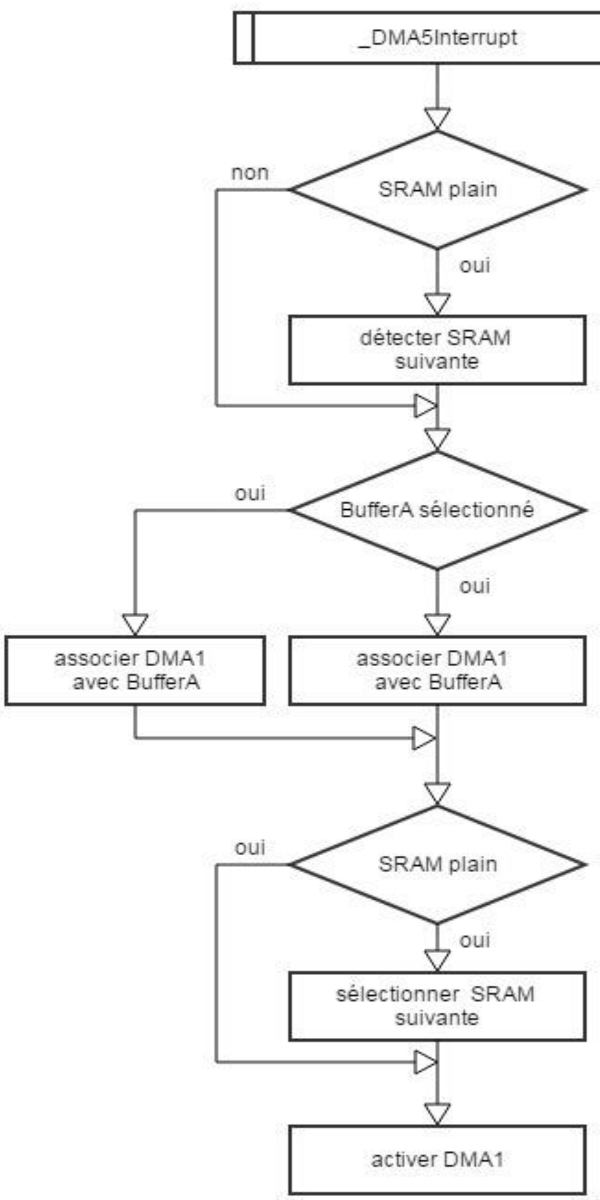
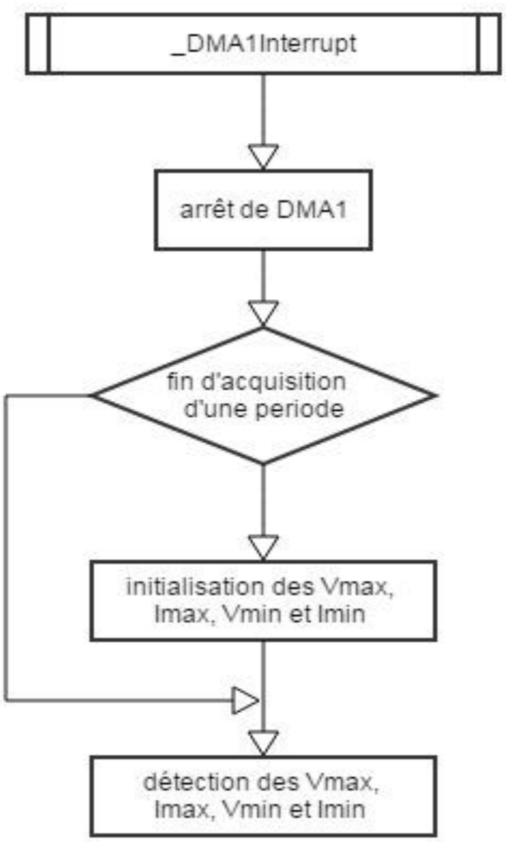


Figure 42: Aquisition et stockage des données

Les organigrammes 2 et 3 décrivent les solutions software utilisées dans les interruptions du DMA5 et DMA1, pour assurer le fonctionnement décrit ci-dessus.



Organigramme 3: Routine d'interruption du DMA5



Organigramme 2: Routine d'interruption du DMA1

Problème rencontré : Pour assurer une certaine fluidité entre DMA5(ADC) et DMA1(SRAM), on a configuré le DMA5 sur le mode (Continue ping-pong) et le DMA1 sur le mode One-shot ping-pong. Mais après la programmation du DsPIC on s'est rendu compte que rien ne s'écrit dans les SRAM. Suite à plusieurs jours de débogage et tests, finalement, il s'est avéré, en se basant sur le fichier A0 SILICON ERRATA [5], que le mode one-shot dans le DsPIC33F ne fonctionne pas correctement (problème de conception chez MicroChip).

Pour résoudre ce problème, on a choisi d'utiliser le mode continue sans ping-pong pour le DMA1, et à chaque interruption du DMA5 on l'active et on la désactive dans sa propre interruption. Organigramme 2 et 3.

3.3 Acquisition des données nécessaires a l'exécution de l'algorithme

En cas de défaut le DMA2 opère avec le module SPI2 pour la lecture des données stockées dans les SRAM dans le but d'extraire les données nécessaires à l'exécution de l'algorithme de localisation de défaut.

3.4 Enregistrement des données dans la carte SD en cas de défaut

Le DMA6 opère avec le module SPI2 en cas de défaut pour transférer les données stockées dans les SRAM vers la carte SD. La figure 43 résume la démarche.

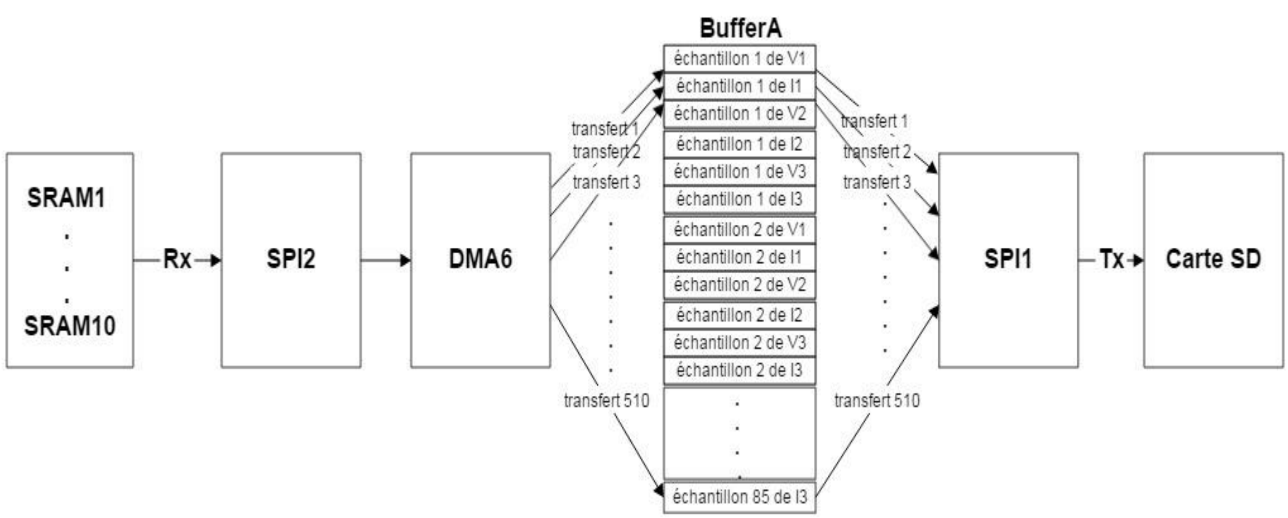


Figure 43: Transfer des données stockées dans les SRAM's vers la carte SD

3.5 Communication avec le module I2C

Le module I2C2 est utilisé pour la communication avec les mémoires EEPROM et l'horloge temps réel(RTC). En particulier enregistrer et lire l'architecture du départ,

enregistrer et lire l'historique des défauts et régler et lire la date et l'heure du module horloge temps réel, en utilisant la bibliothèque « I2C1.h » et le fichier « I2C.c ».

3.6 L'enregistrement de l'historique des défauts

Pour avoir un historique des défauts, à chaque défaut le programme enregistre la date et l'heure, sa résistance et sa distance. L'EEPROM des défauts peut stocker jusqu'à 584 défauts, ils sont organisés de la manière suivante :

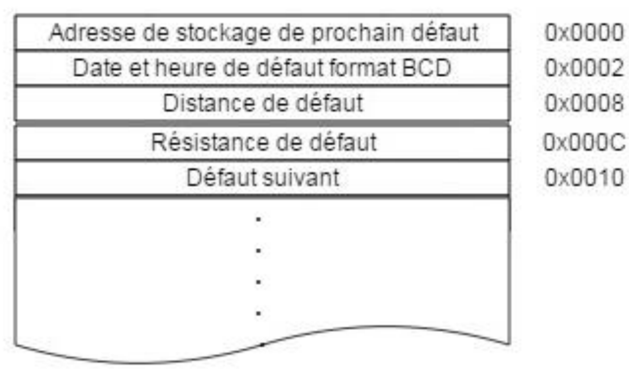


Figure 44: Emplacement des données dans l'EEPROM d'historique

3.7 Communication avec le module UART

Le module UART1 est utilisé pour la communication avec l'interface de configuration sur ordinateur. Il permet la lecture de l'architecture de départ pour l'afficher sur l'interface ou l'envoi de celle entrée par l'utilisateur vers le DsPIC pour l'enregistrer dans l'EEPROM de l'architecture. Ce module est configuré pour opérer a une vitesse de 38400 Baud en mode 8 bits avec un bit de start et un bit de stop et pas de bit de parité et à cause d'un Bug au niveau du driver de convertisseur UART TO USB, la vitesse du module UART déclarée dans le DsPIC doit être le double de la vitesse déclarée dans l'interface de l'ordinateur.

3.8 Enregistrement de l'architecture de départ

L'utilisateur fournit les longueurs et les résistances linéiques des câbles du départ. Ils sont transmis par la suite vers le DsPIC à travers le port série, afin de les enregistrer dans l'EEPROM de l'architecture de la manière suivante :

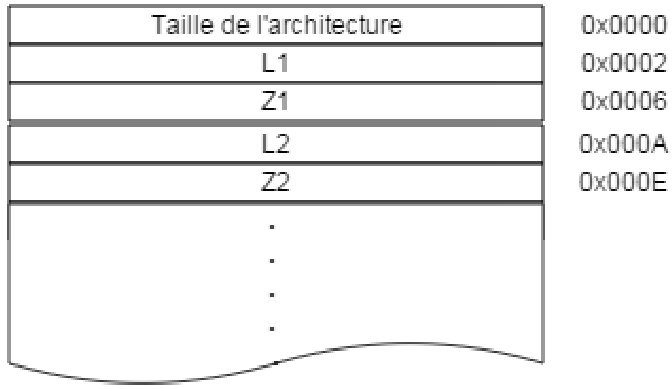


Figure 45: Emplacement des données dans l'EEPROM de l'Architecture de départ

3.9 Gestion de la carte SD

Afin de pouvoir traiter les signaux du défaut, il faut les enregistrés sur un support informatique, ce qui est réalisé à l'aide de la carte SD.

La carte SD communique avec le DsPIC à l'aide du SPI1. La gestion de cette communication par la partie logicielle nécessite une maîtrise du système de gestion de fichier FAT32, la tache qui demandera plusieurs semaines, sans compter le temps nécessaire pour l'implémentation du programme. Pour cela on a utilisé une bibliothèque fournie par Microchip mais qui n'été pas compatible avec notre DsPIC. Nous étions donc obligé de l'étudier pour ajouter les modifications nécessaires afin qu'elle soit compatible avec à notre DsPIC.

Cette bibliothèque nous a permis de sauvegarder les 4.23 s qui représentent les signaux avant, en cours et après le défaut dans un fichier dont le nom représente la date et l'heure du défaut. Ce fichier sera lu par notre interface pour afficher les 6 courbes des signaux sur n'importe quel ordinateur sous Windows. La figure suivante montre un exemple des fichiers des défauts enregistrés dans la carte SD.

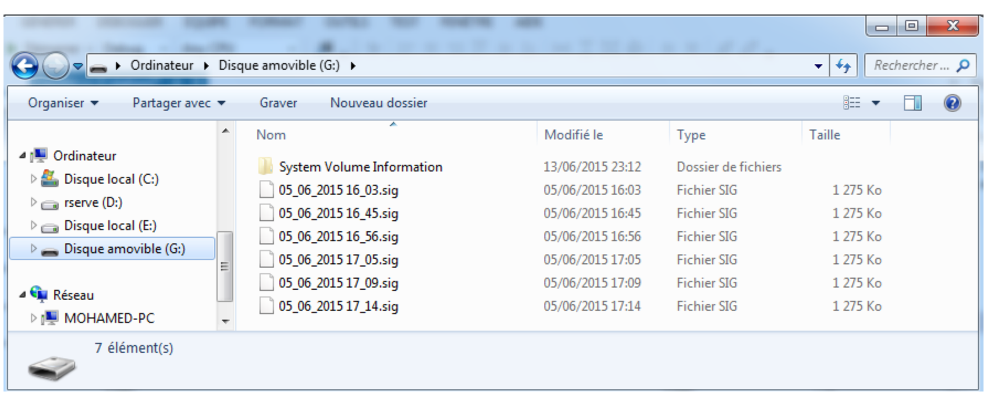


Figure 46: Contenu de la carte SD après test

3.10 L'afficheur LCD

L'interaction avec l'utilisateur se fait avec un afficheur LCD 20x4. Il est géré par la bibliothèque «LCD.h » et le fichier source « LCD.c ». Ils permettent l'initialisation de l'afficheur en mode 4 bits, l'effacement, le déplacement du curseur et l'écriture des chaînes de caractères dans le LCD.

4. L'interface utilisateur

4.1 Introduction

Pour faciliter la configuration du relais, afficher les courbes des signaux enregistrés dans la carte SD et les transformés en un fichier Matlab pour les traiter avec cet outil puissant, on a réalisé une interface logicielle avec le langage de programmation C#. Ce langage orienté objet très proche de langage JAVA possède plusieurs bibliothèques qui facilitent la communication avec le module UART et l'affichage des courbes des signaux.

L'outil de développement qu'on a utilisé pour la réalisation de cette interface est le Visual Studio Expresses qui embarque un outil de création d'interfaces graphiques, facilitant la création de la partie visuelle de l'application, un éditeur de code et un débogueur.

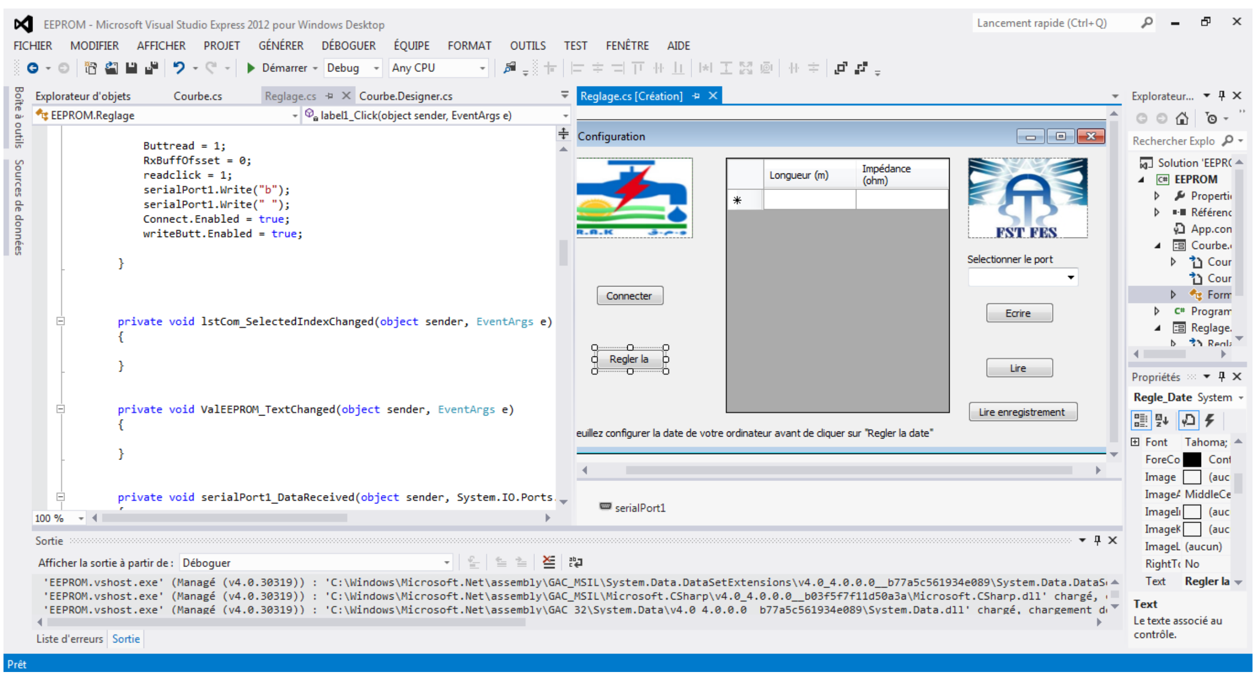


Figure 47: Interface du Visual Studio

4.2 Description

L'interface se compose de deux fenêtres

❖ ***Fenêtre de configuration***

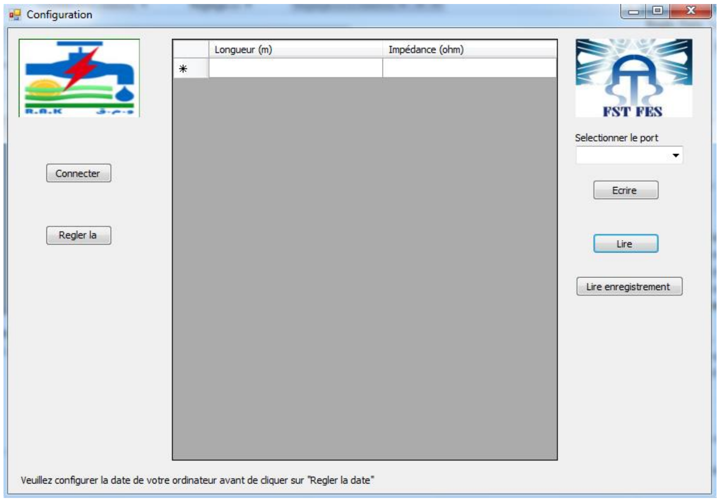


Figure 48: Fenêtre de configuration

La liste déroulante « sélectionner port » permet de sélectionner le port COM sur lequel le relais est connecté.

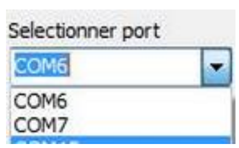


Figure 49: Sélection du Port

Le bouton « connecter » établit la connexion entre l'interface et le port sélectionné dans la liste déroulante.

Le tableau permet de saisir l'architecture de départ ou d'afficher l'architecture de départ enregistré dans le relais en cliquant sur le bouton « lire ».

	Longueur (m)	Impédance (ohm)
	2500	0.5
	4240	0.5
✎	800	0.35
*		

Figure 50: Tableau de l'Architecture de la ligne

Le bouton « Ecrire » envoie les valeurs saisies dans le tableau de l'architecture vers le relais pour configurer l'architecture du départ.

À cause des bugs de conversion USB-UART, certaines propriétés ne fonctionnent pas correctement, en particulier la définition de nombre d'octets à recevoir avant la génération d'une interruption au niveau de l'ordinateur, ce qui demande du temps pour détecter ces dysfonctionnements et le surmonter.

Le bouton « lire enregistrement» ouvre la fenêtre de lecture des enregistrements des défauts.

❖ *Fenêtre de visualisation des signaux enregistrés*

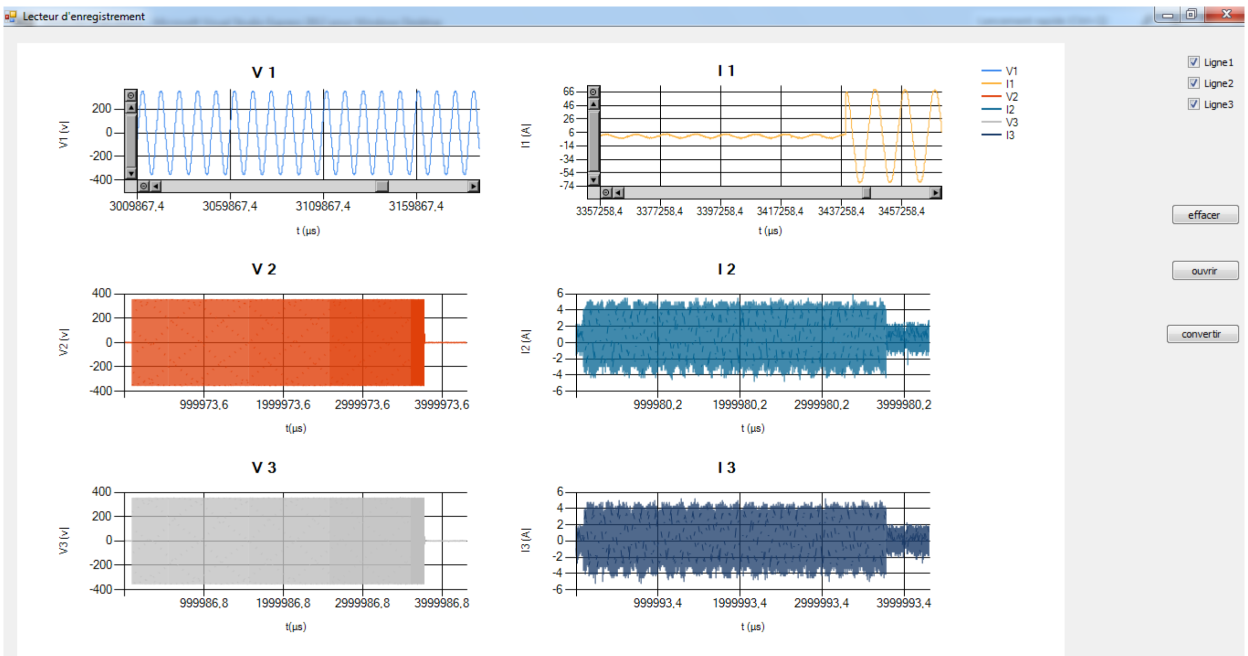


Figure 51: Fenêtre de visualisation des signaux enregistrés

La zone d'affichage se compose de six graphiques qui affichent les signaux temporaires des trois courants et trois tensions enregistrées dans la carte SD lors de défaut.

Le bouton « ouvrir » ouvre la fenêtre de sélection du fichier du défaut à visualiser.

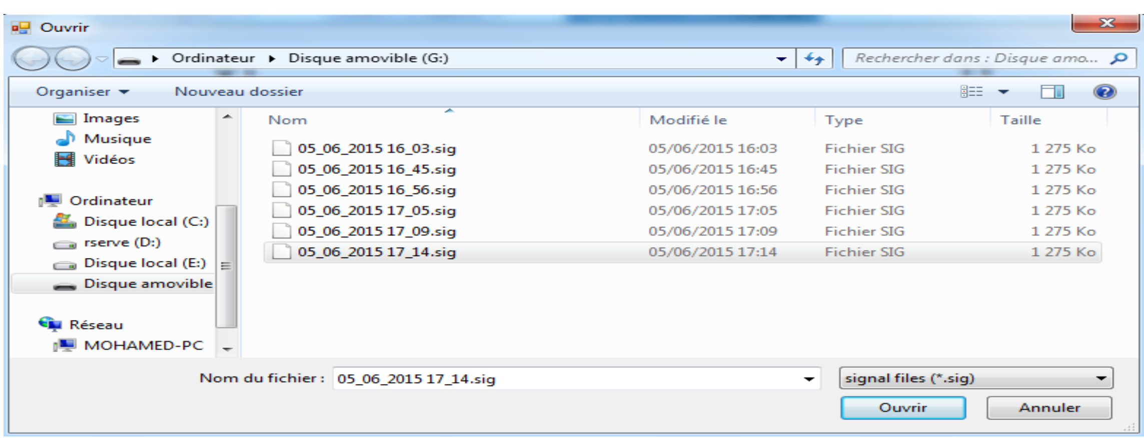


Figure 52: Fenêtre ouvrir du fichier "signal"

Les Check box « ligne 1 », « ligne 2 » et « ligne 3 » permet de sélectionner les lignes dans leurs courbes de courants et tensions seront affichés dans la zone d'affichage.

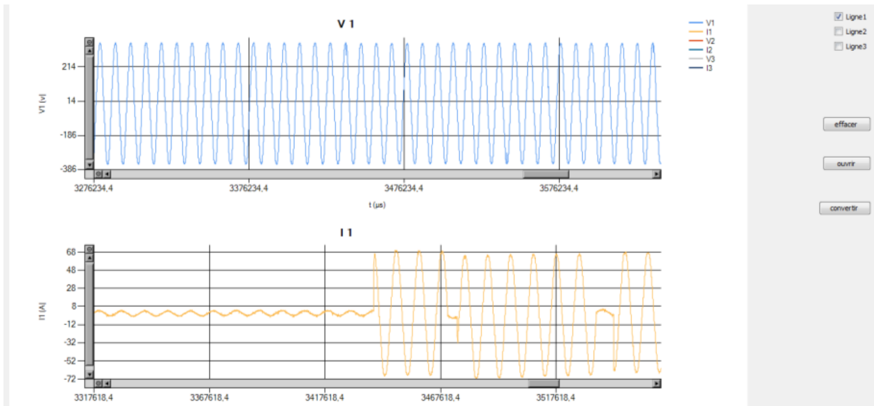


Figure 53: Affichage signale V1 et I1

Le bouton « convertir » génère une fonction Matlab sous le nom fournie par l'utilisateur et retourne les vecteurs des six signaux des courants et tensions. La figure suivante donne un exemple de fichier Matlab généré.

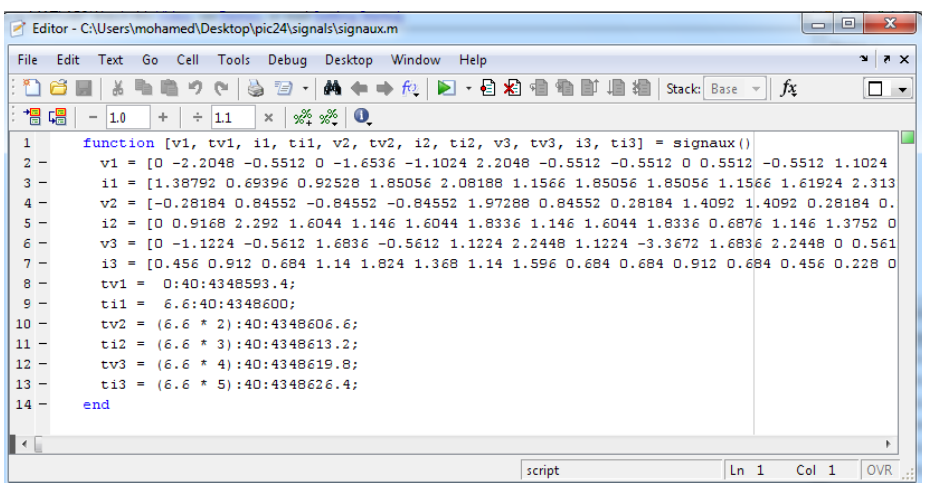


Figure 54: Fichier Matlab des enregistrements

CHAPITRE IV

RÉALISATION ET TEST

Ce chapitre décrit la réalisation du prototype et le test de fonctionnement du projet.

1. Réalisation de la carte

Pour rassembler les cartes réalisées dans notre travail, nous avons conçu une carte électronique qui contient les parties décrites dans la partie hardware. La figure 55 montre. Le schéma complet de notre carte.

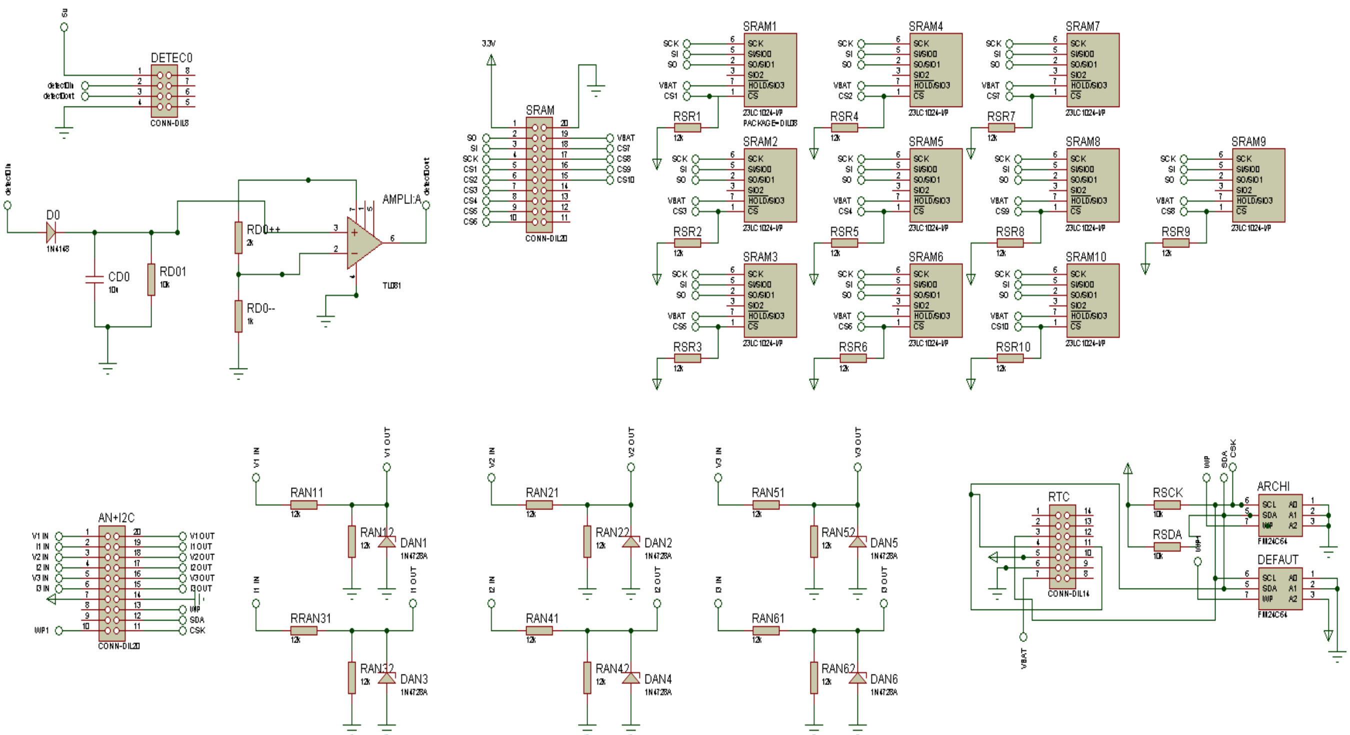


Figure 55: Carte secondaire complète

Cette réalisation se divise en deux étapes :

- Conception du typon à l'aide d'un logiciel.
- Réalisation du circuit sur une carte d'hypoxie.

1.1 Conception du typon

Nous avons conçu le typon avec le logiciel ARES de la suite PROTEUS sur une seule face à cause de la complexité de la réalisation d'un circuit imprimé en double face avec les moyens existants. Voici ces différentes parties :

❖ *La partie SRAM avec son connecteur*

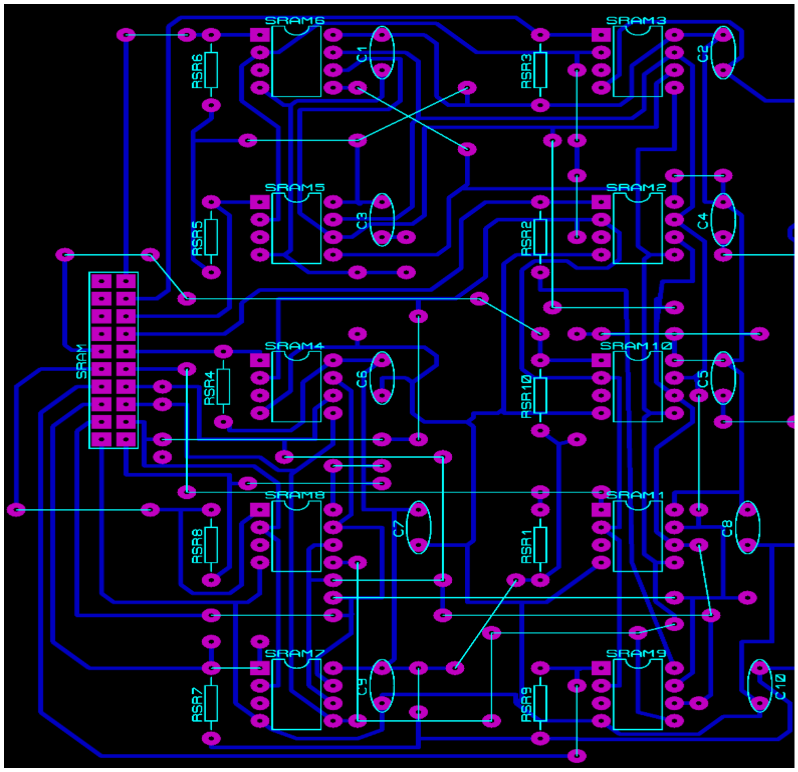


Figure 56: Typon de la partie des SRAM

❖ *La partie communicante avec le bus I2C à savoir l'EEPROM et le module RTC*

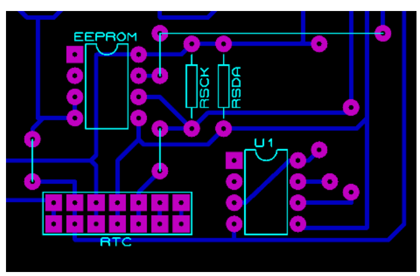


Figure 57: typon des EEPROM-RTC

❖ *Le montage de détection de coupure de tension*

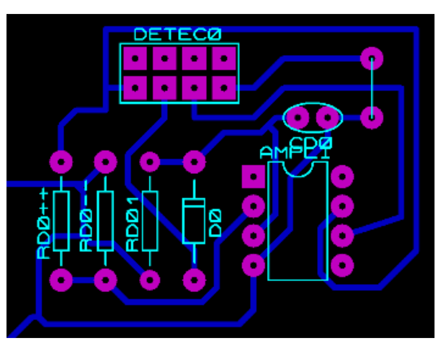


Figure 58: Typon de circuit de détection

❖ *La partie d'adaptation des signaux de sortie de la carte de conditionnement*

Les sorties de la carte de conditionnement varient entre 0V et 5V, alors que les entrées analogiques du DsPIC ne doivent pas dépasser les 3.3V, de ce fait on a réalisé des ponts diviseurs des tensions des six sorties en parallèle avec une diode Zener de 3.3V pour bien protéger la carte DsPIC.

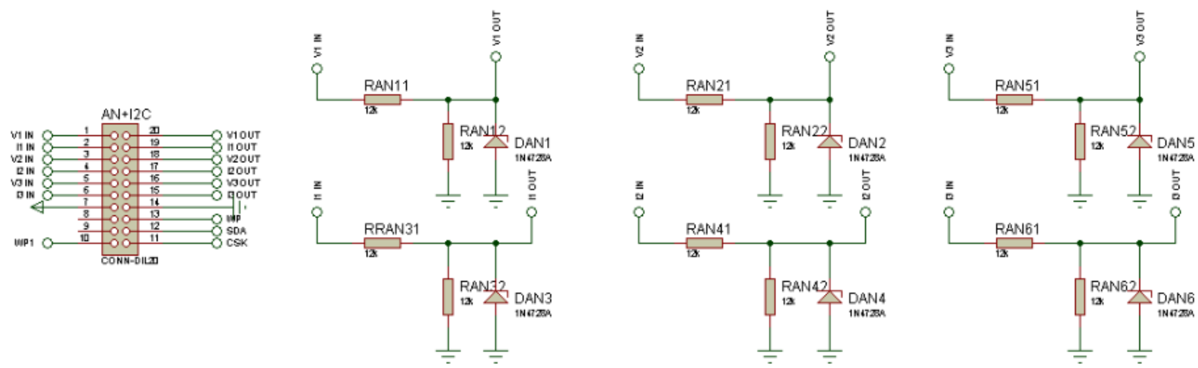


Figure 59: Étage de conditionnement des signaux

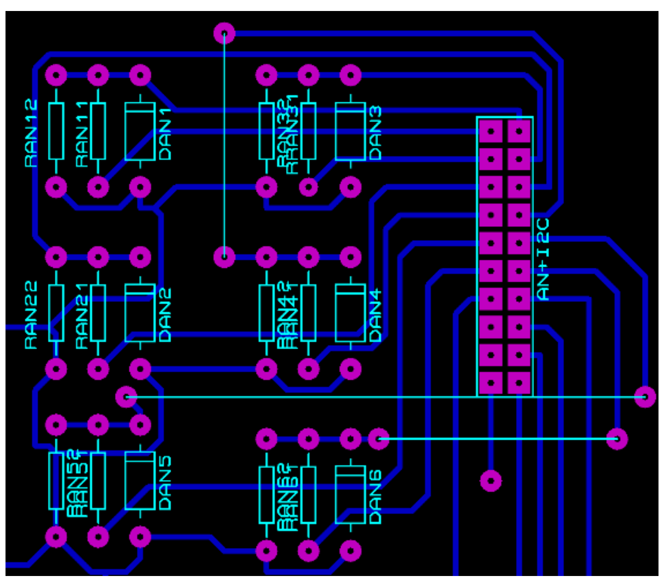


Figure 60: Typon de la partie Conditionnement

Voici le typon complet de notre carte réalisée

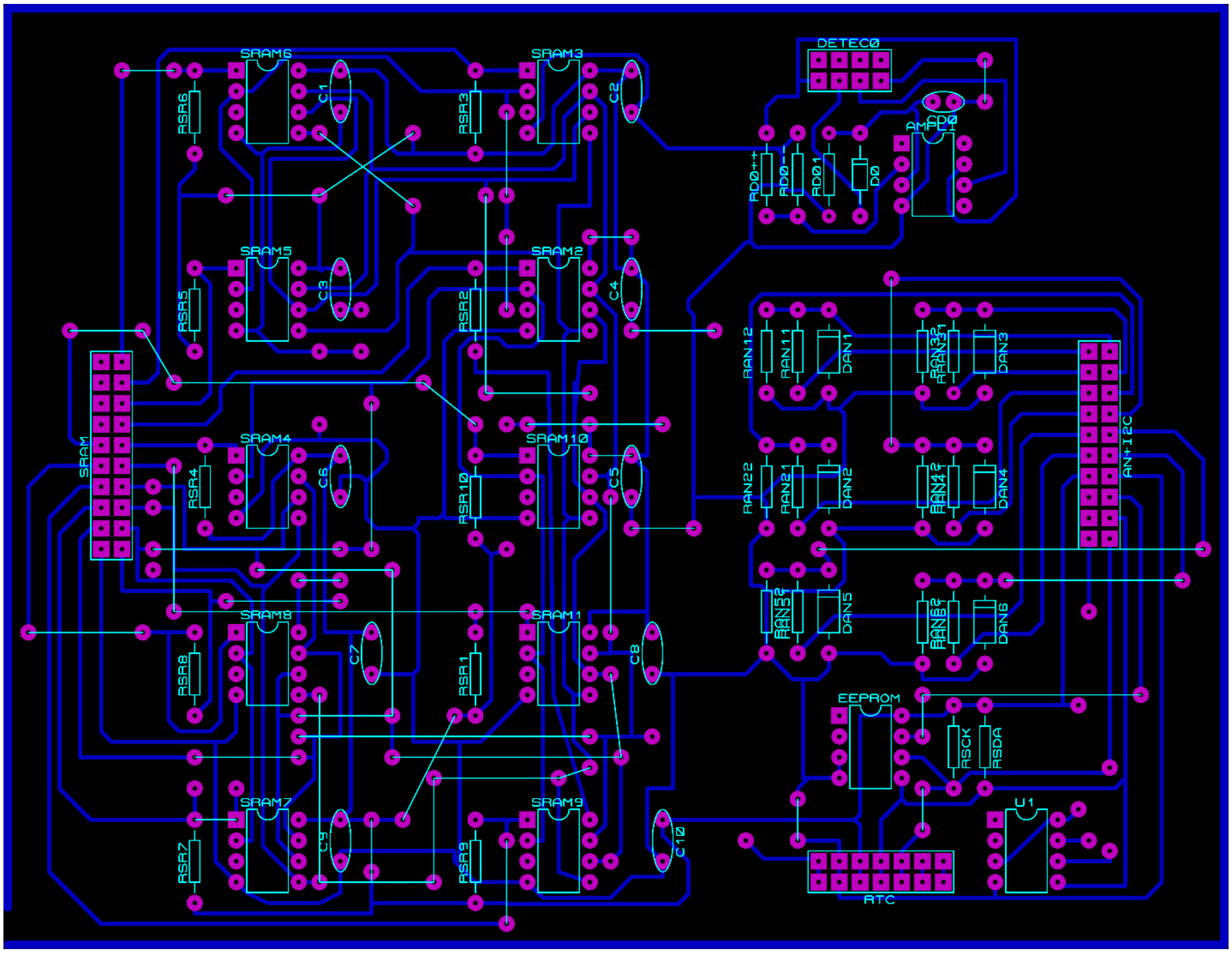


Figure 61: Typon de la carte secondaire Complete

1.2 Réalisation du circuit [10]

Le manque des outils de réalisation des circuits imprimés nous a amené à procéder avec une méthode amateur. Le but de la manœuvre été de graver le typon dessiné sur ordinateur, sur une plaque de cuivre non présensibilisé. Sans passer par les différentes étapes ordinaires (insolation et révélation).

Voici le résultat de cette méthode :

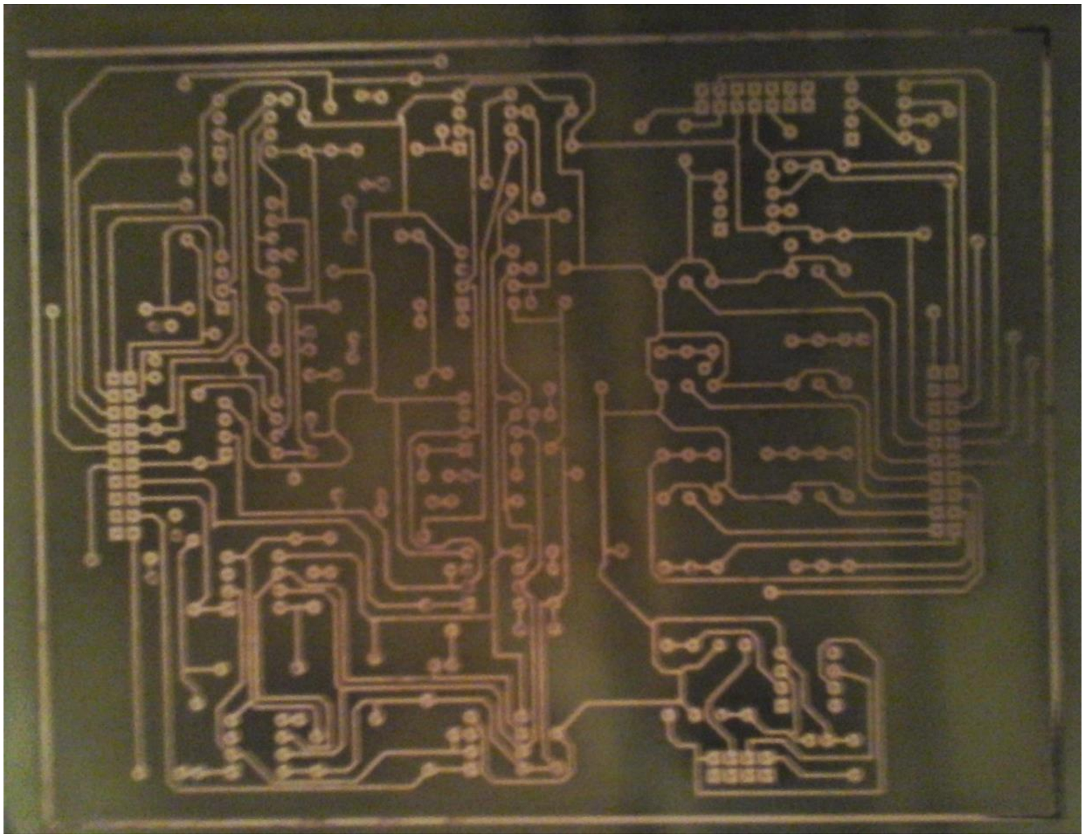


Figure 62: Circuit imprimé de la carte secondaire

Pour percer la carte, on a cherché une perceuse dans plusieurs boutiques spécialisées dans ce type de matériel sans aucun résultat. Finalement, on a effectué le perçage dans la société Perfect Indutsry basée à Kenitra. La figure suivante montre l'étape de soudage des composants sur la carte secondaire.

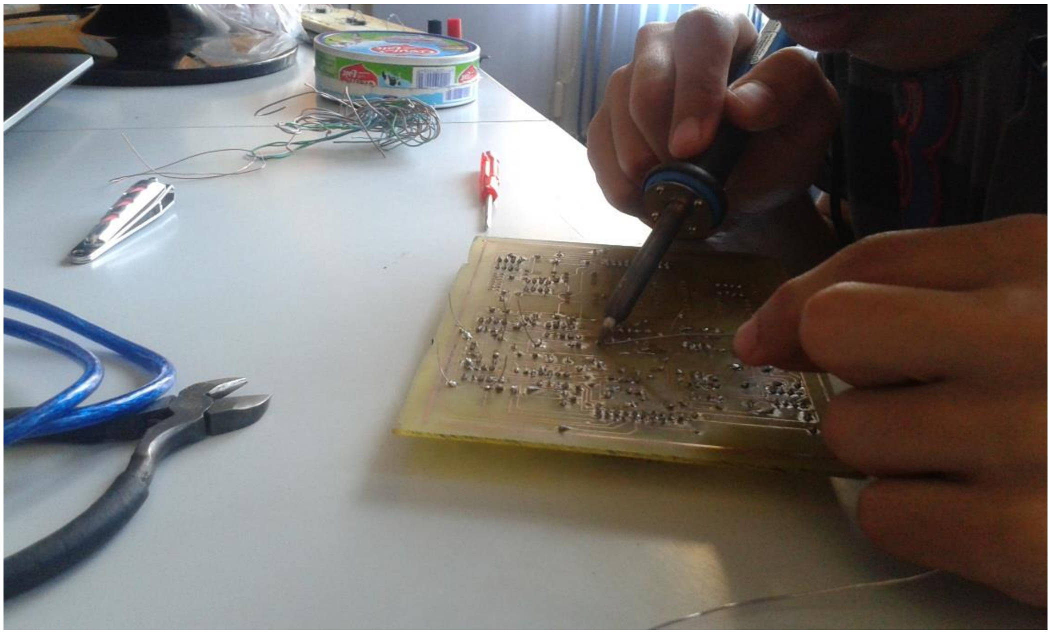


Figure 63: Soudage de la carte secondaire

La figure ci-dessous montre la carte complète.

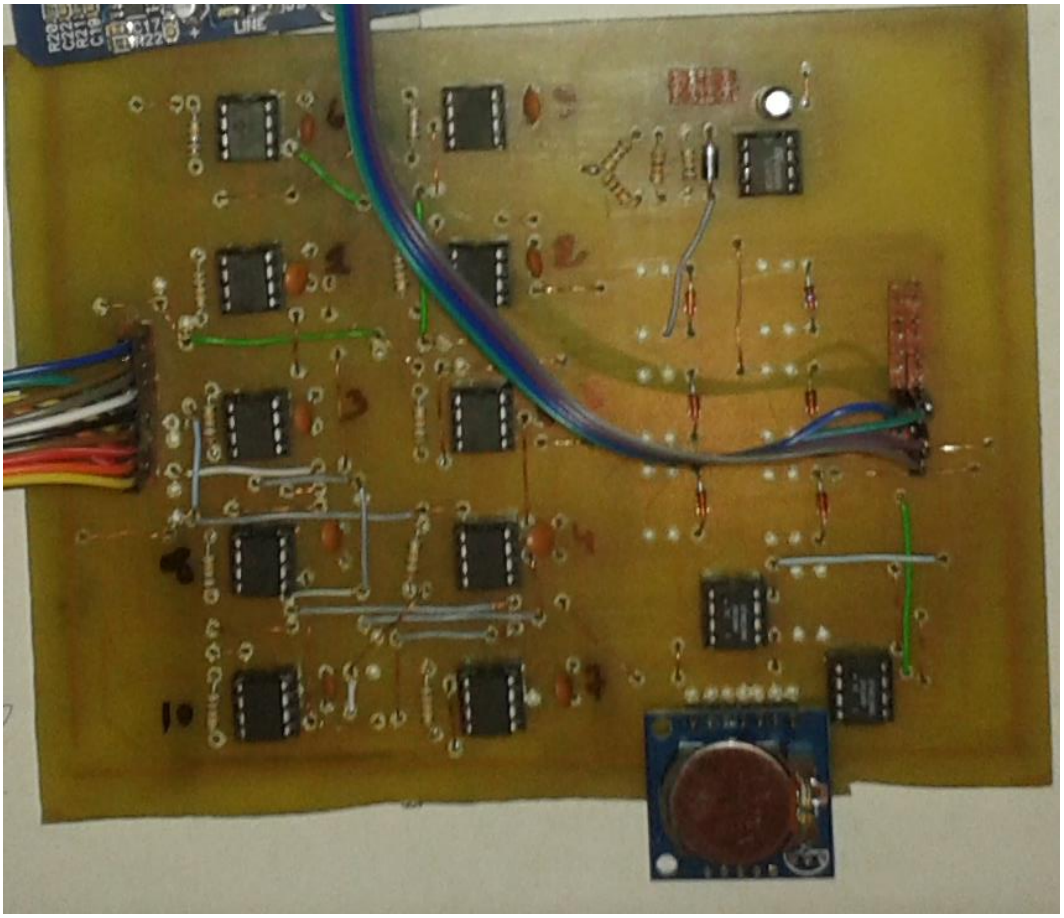


Figure 64: La carte avec les composants soudés

2. Test de fonctionnement

2.1 Préparation de la carte

Le dysfonctionnement des transformateurs et de la carte de conditionnement nous a obligés à chercher des solutions temporelles pour tester le bon fonctionnement de notre carte de traitement, les solutions sont les suivantes :

- Remplacer la carte de conditionnement avec des transformateurs de tensions 220V/6V pour acquérir les tensions et des transformateurs de courants à effet hall pour acquérir les courants.
- Conditionner les signaux des capteurs avec des diviseurs de tensions et des résistances pull up afin qu'ils soient exploitables au niveau de la carte de traitement.

❖ *Les transformateurs de tension*

Pour acquérir les trois tensions, nous avons utilisé trois transformateurs 220V/6V. Les tensions de sortie sont appliquées à un diviseur de tension d'un rapport de 1/11 pour ne pas dépasser la limite de tension d'entrée de l'ADC. Le pont de résistance relié à 3.3V au lieu de la masse pour rendre le signal entre 0V et 3.3V, car les bornes analogiques n'acceptent pas des signaux à alternances négatives.

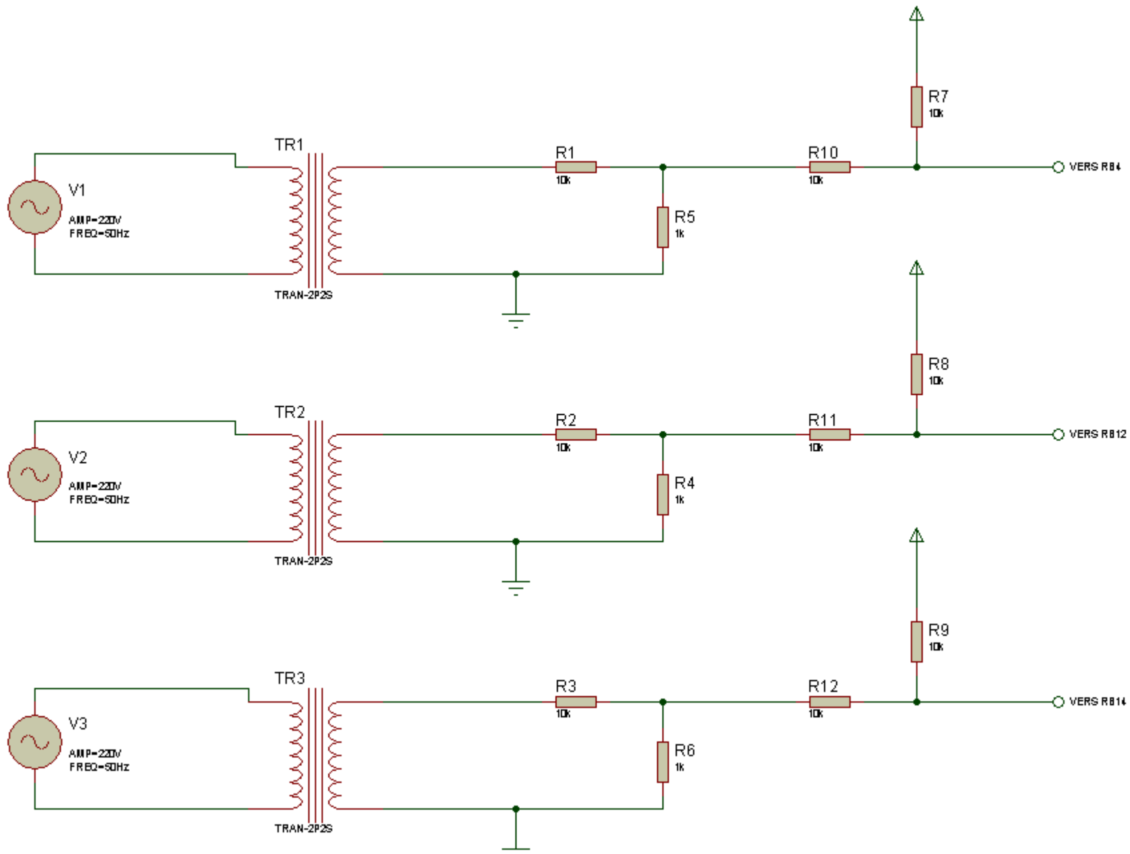


Figure 65: Étage de conditionnement après les TT

❖ *Les transformateurs de courant*

Nous avons remplacé les transformateurs de courant avec un capteur d'une machine de mesure. Il délivre une image de courant des lignes avec de calibres : 3000A avec un rapport de 0.33mV/A ou 300A avec un rapport de 3.3mV/A. Comme pour les transformateurs de tension, les sorties de ce capteur sont connectées aux ponts de résistance reliés à 3.3V pour rendre le signal entre 0V et 3.3V.

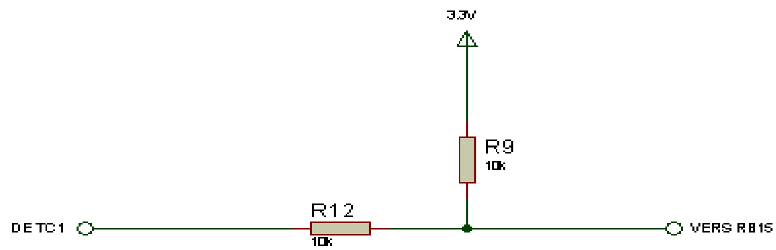


Figure 66: Résistances Pull-Up

Les autres modules à savoir le slot de la carte SD et l'afficheur LCD est directement lié à la carte DsPIC.

Afin de pouvoir déplacer toutes les parties du relais pour faire les tests, nous les avons rassemblés dans un prototype montré sur la figure suivante :

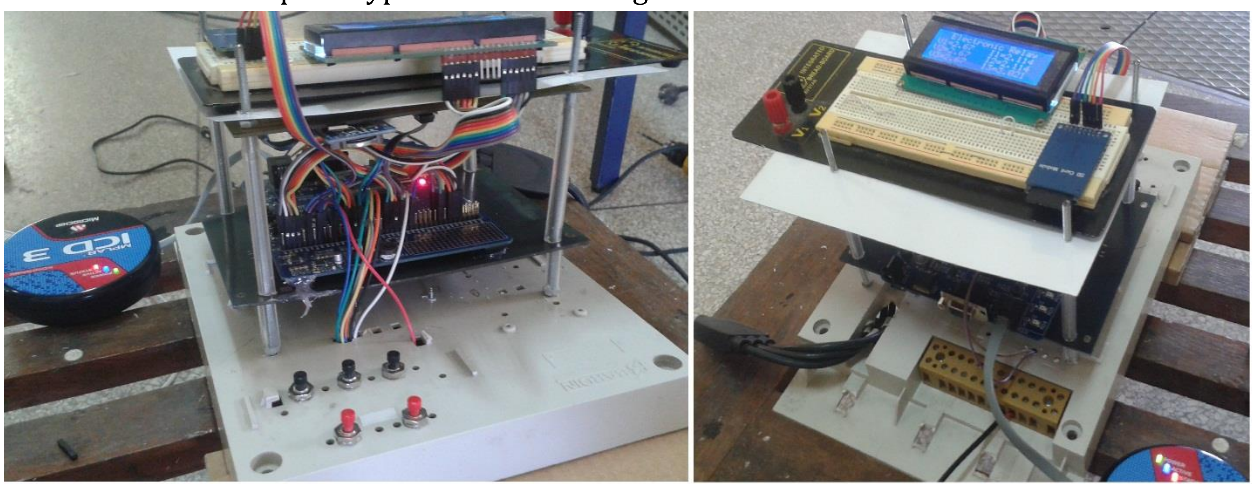


Figure 67: Relais Assembler

2.2 L'environnement de test

À cause de l'impossibilité de faire le test dans le réseau moyenne tension. Nous avons décidé de le réaliser dans la basse tension en simulant un défaut sur un câble triphasé qui alimente des charges résistives. Voici le schéma de test.

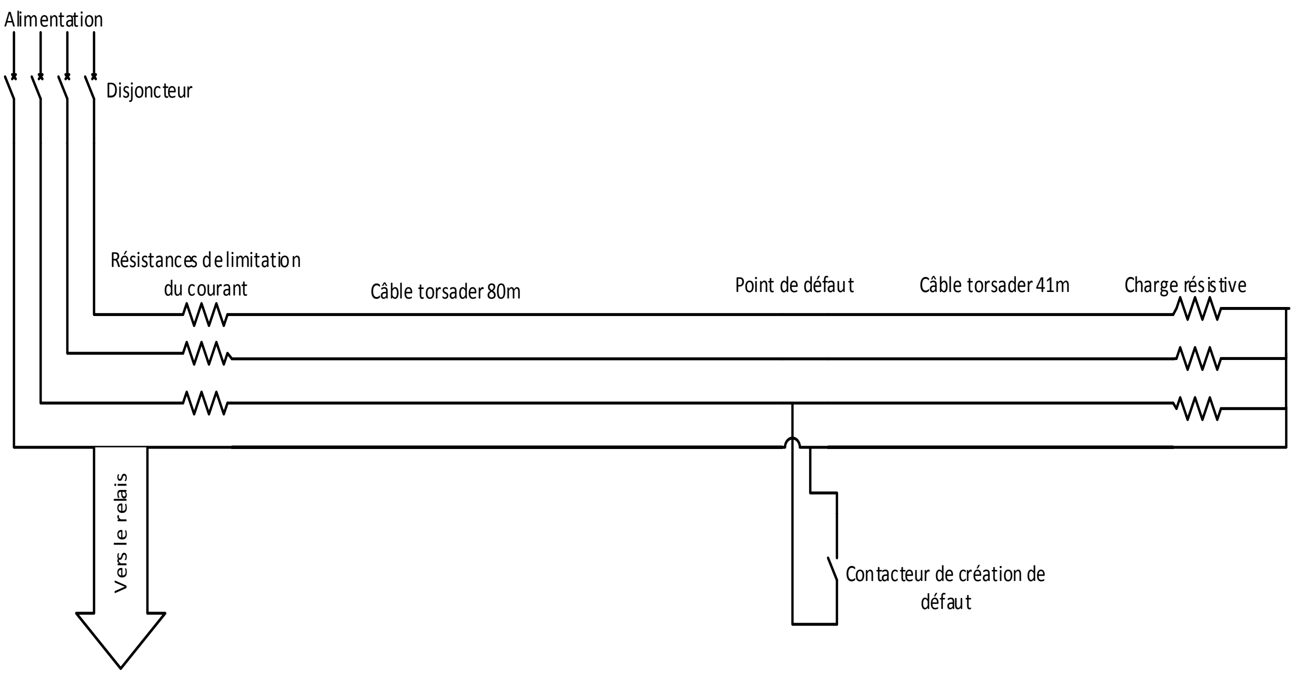


Figure 68: Schéma de l'installation pour le test

2.3 Déroulement de test

Le test consiste à alimenter trois charges résistives montées en étoile. Puis simuler un court-circuit entre phase et neutre et attendre le déclenchement du disjoncteur. Le relais détecte le défaut et enregistre les six signaux dans la carte SD.

Nous étions obligés de couper l'alimentation manuellement, car le disjoncteur ne déclenche pas même-ci le courant dépasse le seuil fixé.



Figure 69: Environnement du test

2.4 Résultats du test

Nous avons réalisé trois essais dans les résultats sont enregistrés dans la carte SD de la manière suivante (figure 70) :

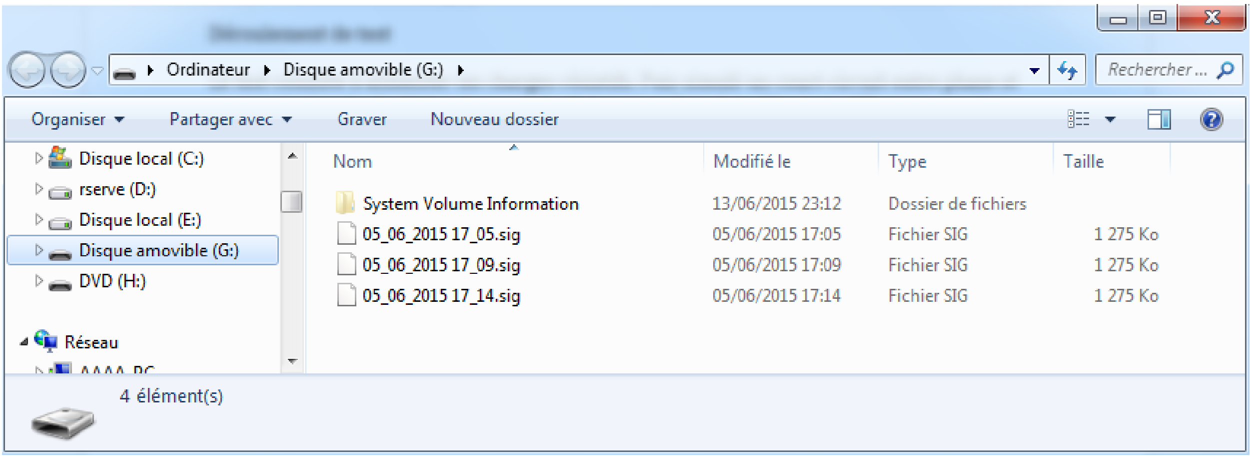


Figure 70: Résultats du test stockés dans la carte SD

Les courbes des tensions et courants affichées par l'interface utilisateur (figure 71) :

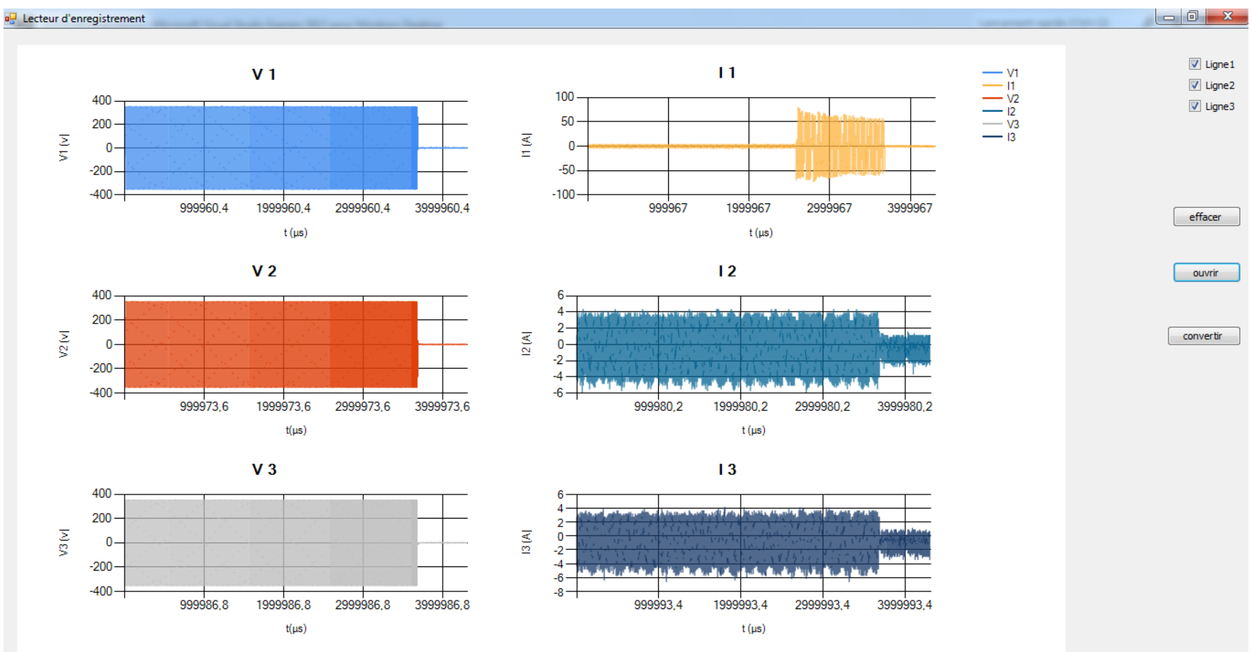


Figure 71: Courbes des tensions et des courants au moment du défaut

La courbe zoomé de tension et courant de la phase en défaut (figure 72) :

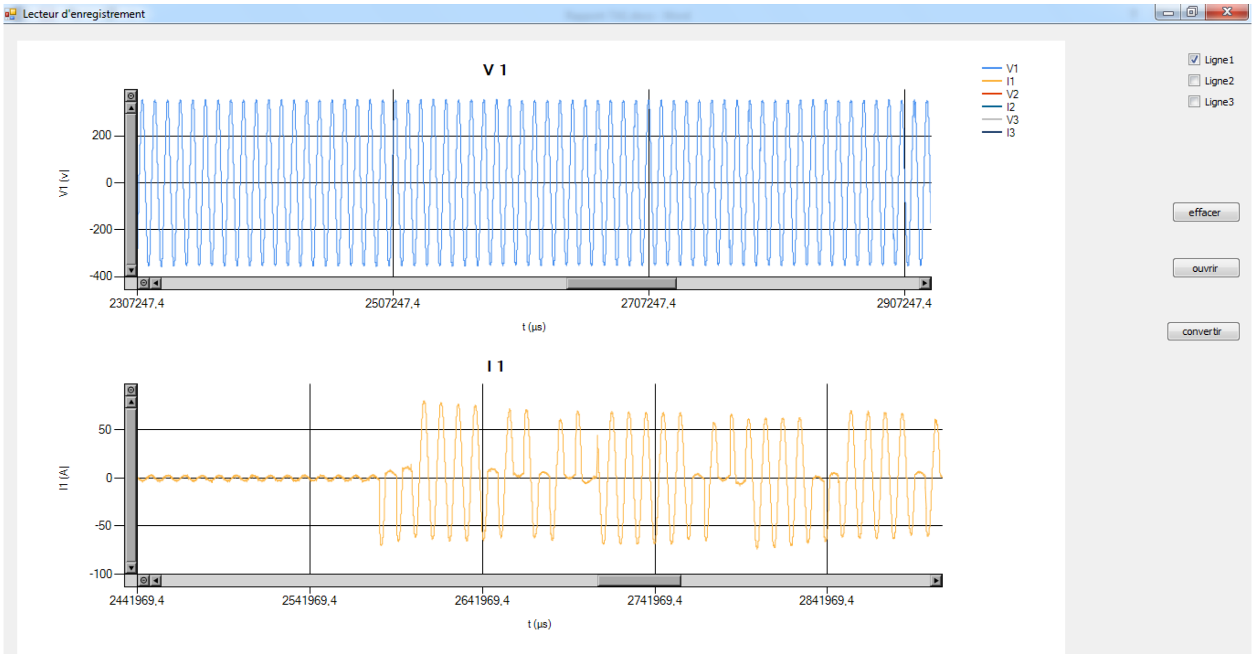
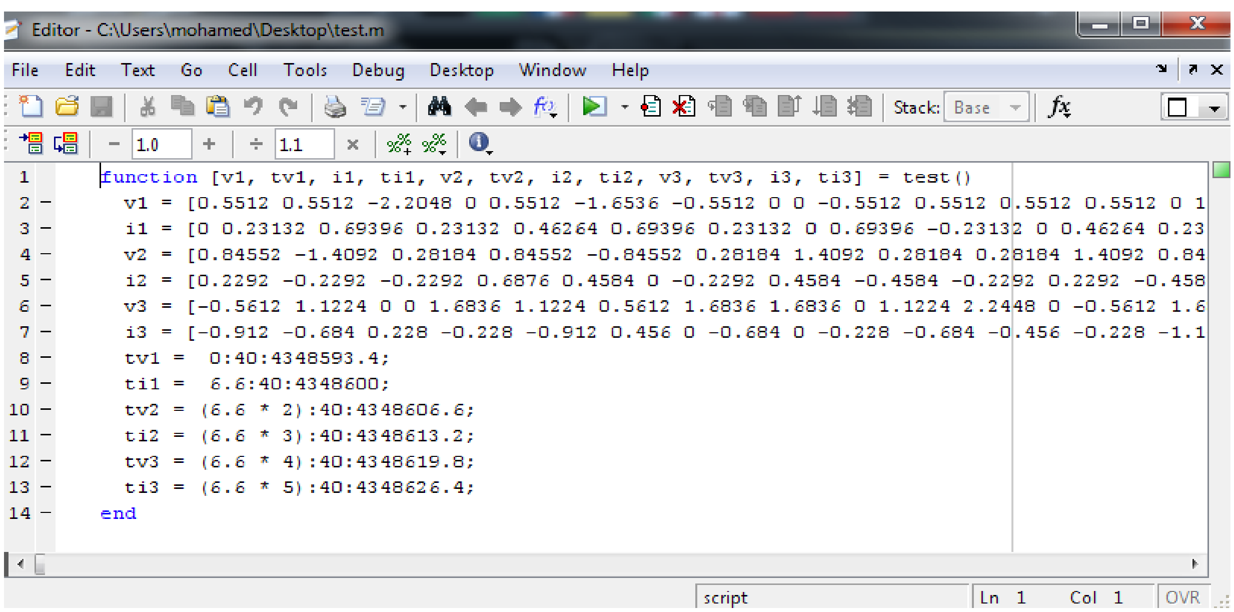


Figure 72: tension et courant da la phase 1 lors du défaut

L'interface visualise le comportement du courant de défauts dans la courbe I1 et aussi montre le bon enregistrement des valeurs des six signaux durant les 4.2s qui englobent les informations nécessaires pour l'exécution de l'algorithme de localisation de défauts.

Ci-dessous le fichier Matlab généré par l'application (figure 73) et l'affichage des trois tensions des trois phases de réseau électrique (figure 74).




```
function [v1, tv1, i1, ti1, v2, tv2, i2, ti2, v3, tv3, i3, ti3] = test()
  v1 = [0.5512 0.5512 -2.2048 0 0.5512 -1.6536 -0.5512 0 0 -0.5512 0.5512 0.5512 0.5512 0 1
  i1 = [0 0.23132 0.69396 0.23132 0.46264 0.69396 0.23132 0 0.69396 -0.23132 0 0.46264 0.23
  v2 = [0.84552 -1.4092 0.28184 0.84552 -0.84552 0.28184 1.4092 0.28184 0.28184 1.4092 0.84
  i2 = [0.2292 -0.2292 -0.2292 0.6876 0.4584 0 -0.2292 0.4584 -0.4584 -0.2292 0.2292 -0.458
  v3 = [-0.5612 1.1224 0 0 1.6836 1.1224 0.5612 1.6836 1.6836 0 1.1224 2.2448 0 -0.5612 1.6
  i3 = [-0.912 -0.684 0.228 -0.228 -0.912 0.456 0 -0.684 0 -0.228 -0.684 -0.456 -0.228 -1.1
  tv1 =  0:40:4348593.4;
  ti1 =  6.6:40:4348600;
  tv2 = (6.6 * 2):40:4348606.6;
  ti2 = (6.6 * 3):40:4348613.2;
  tv3 = (6.6 * 4):40:4348619.8;
  ti3 = (6.6 * 5):40:4348626.4;
end
```

Figure 73: Résultat du test dans un fichier Matlab

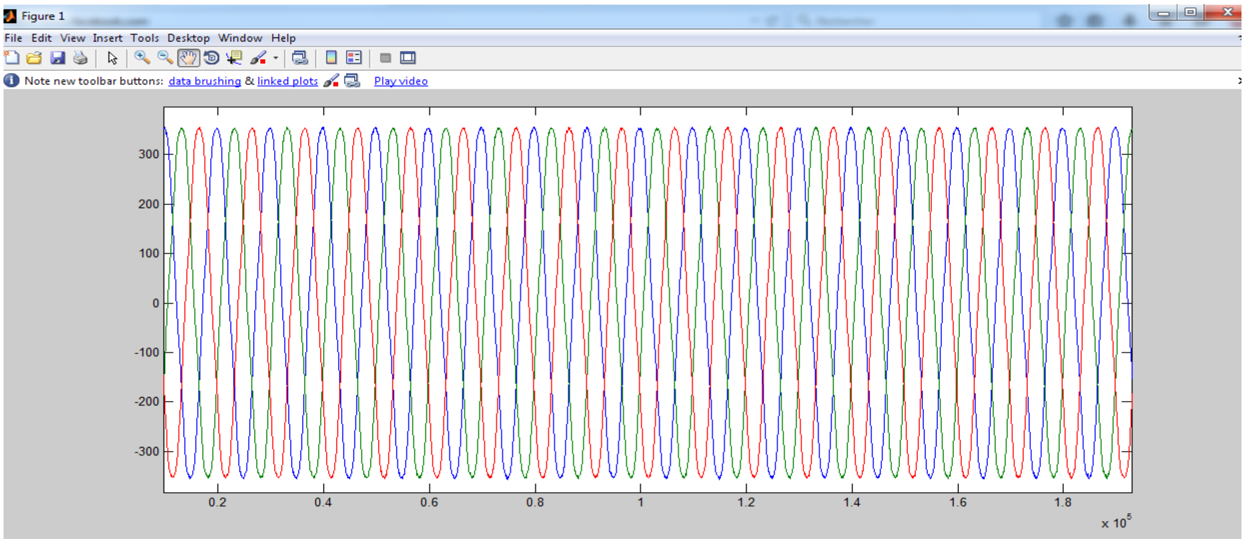


Figure 74: Les trois tensions avant défaut

La figure suivante montre les courbes de tension et courant de la phase en défaut affiché sur Matlab :

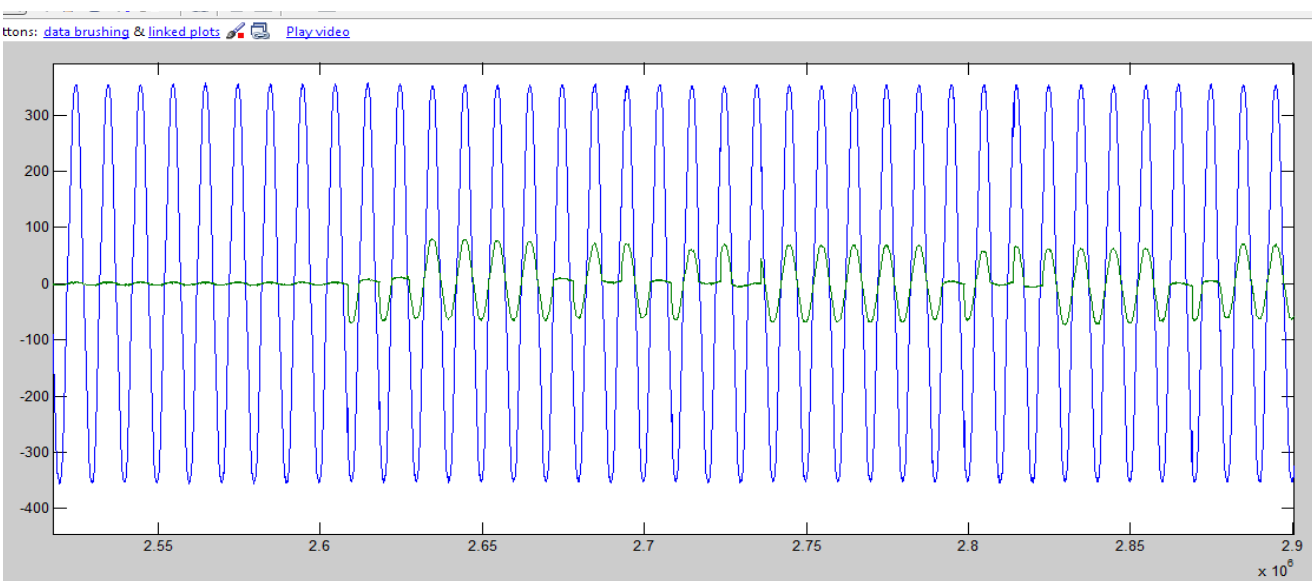


Figure 75: Tension et courant dans la phase 1 au moment du défaut

Conclusion

Le thème de ce Projet de fin d'études consiste à la réalisation et la programmation du relais localisateur du défaut. Le but de cette réalisation est d'implémenter l'algorithme de localisation des défauts dans les réseaux électriques à partir des mesures du courant et de tensions au niveau des postes sources.

En continuant le travail initié par la réalisation de la carte de conditionnement, nous avons réussi à concrétiser un relais qui enregistre 4.2s des signaux du départ. Ces derniers englobent les valeurs, avant et après défaut, nécessaire à l'application des algorithmes de localisation des défauts.

Le test effectué sur un départ de la basse tension a permet de valider le bon fonctionnement de relais, en particulier l'enregistrement des signaux du défaut. L'aboutissement à ce résultat ouvre la porte pour le test de l'algorithme sur des réseaux réels. Pour cela l'implémentation des algorithmes et la correction de dysfonctionnement de la carte de conditionnement seront le sujet d'un nouveau projet dans le cadre de thème principal de localisation des défauts.

Comme la compréhension et la maîtrise du domaine de l'électronique et les systèmes embarqués était notre premier objectif dans cette formation. Ce stage nous a été une occasion d'or pour avancer avec un grand pas vers cet objectif en appliquant nos acquis dans un travail concret et en affrontant plusieurs défis au cours de cette réalisation que ce soit technique ou organisationnel.

Bibliographie

[1] : YOUSSEF MENCHAFOU « Développement et étude théorique des algorithmes de détection et localisations des défauts », Rapport de projet fin d'étude 2012/2013 FST de Fès.

[2] : Abdelmajid ELBAHAOUI « Conception et réalisation d'une carte d'acquisition des signaux du réseau de distribution moyenne tension », Rapport de projet fin d'étude 2013/2014 FST de Fès.

[3] : dsPIC33FJXXXGPX06A/X08A/X10A . Microchip Technology Inc. 2009

[4] : MPLAB® XC16 C Compiler User's Guide. Microchip Technology Inc. 2012

[5] : dsPIC33F Engineering Samples Rev. A0/A1 Silicon Errata. Microchip Technology Inc. 2006

[6] : 23LCV1024. Microchip Technology Inc. 2012

[7] : Recommended Usage of Microchip 23XX512/23XX1024 Serial SRAM Devices. Microchip Technology Inc. 2012

[8] : Using C30 Compiler to Interface Serial SRAM Devices to dsPIC33F and PIC24F. Microchip Technology Inc. 2009

[9] : AT24C64. Atmel Corporation 2003.

[10] : Realiser ses circuit imprimer avec une imprimante laser, Mat24 en collaboration avec Simon_2 pour www.techniguitare.com exclusivement.

Webographie

- Wikipedia the free encyclopedia.
- http://www.digikey.com.mx/suppliers/mx/microchip-technology.page?lang=en
- http://electronics.stackexchange.com/
- https://msdn.microsoft.com/fr-fr
- http://www.developpez.com/
- http://stackoverflow.com/

ANNEXES

Annexe 1 : Manuel d'utilisation

L'utilisation du relais nécessite une certaine connaissance du fonctionnement de ce dernier, prière de lire attentivement les différentes parties du rapport avant d'utiliser le système.

Alimentation et Branchement :

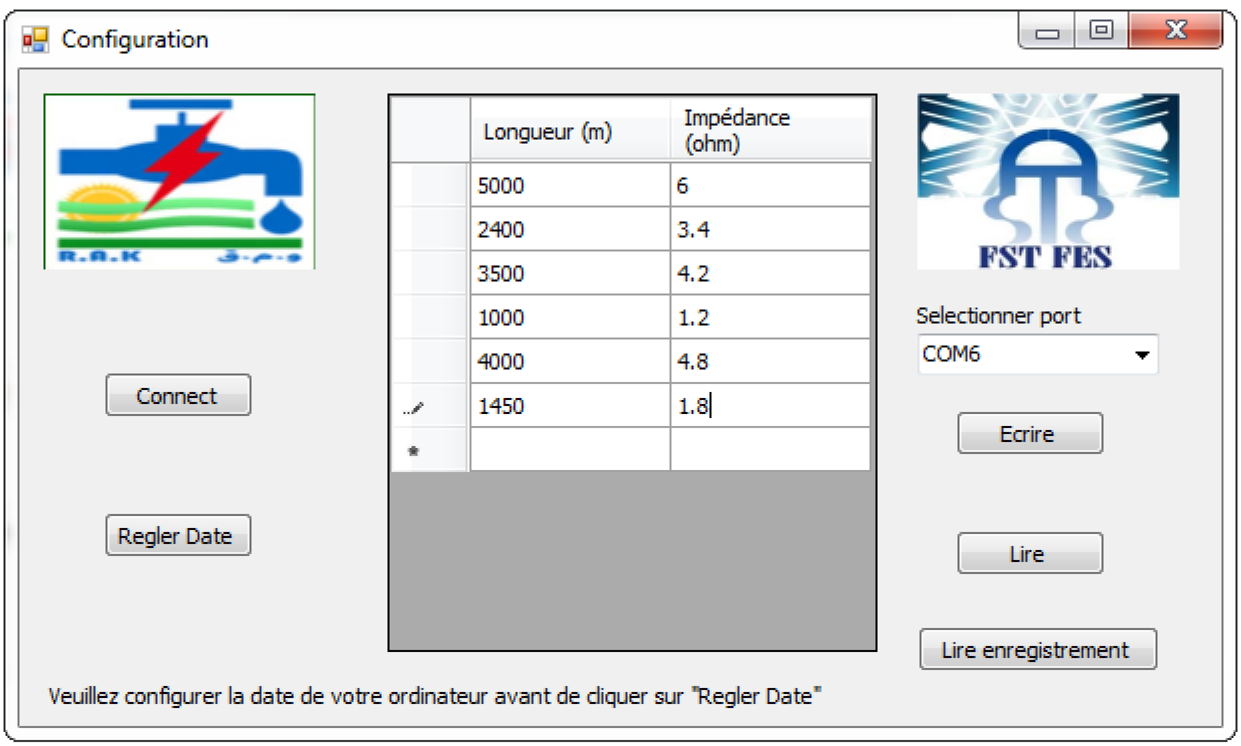
Alimenter le relais en utilisant les deux chargeurs, celui du 9V doit être branché à la carte DsPIC33F, le deuxième (5V) doit être relié à la carte des transformateurs.

Coupler les TT du relais avec les TT le la ligne MT (20KV/100V), en utilisant les connecteurs de la carte des transformateurs, ensuit relier les TC a la ligne MT directement, dans ce cas les valeurs efficaces des courants et des tensions apparaîtront sur l'afficheur LCD.

Réglage de la date et l'heure du relais :

Le réglage du relais nécessite l'utilisation de l'interface de Réglage (voir chapitre 3), pour ce faire relier le relais avec votre ordinateur en utilisant le câble (RS232/USB), cliquez sur le bouton RB13 pendant une demi seconde, un message s'affichera dans le LCD « Mode Réglage… », cela signifie que le relais est prêt à être configurer.

Exécuter le fichier reglage.exe, la fenêtre ci-dessous apparaîtra



Réglage heure/date :

1- Sélectionnez le port connecté au câble (RS232/UART)
2- Cliquez sur connect
3- Réglez la date de votre ordinateur
4- Cliquez sur Regler Date
5- Attendez l'affichage du message « Date réglée… » sur l'afficheur LCD

Écriture/ Lecture de la base de données de la ligne :

1- Sélectionnez le port connecté au câble (RS232/UART)
2- Cliquez sur connect
3- Remplissez les champs des caractéristiques de la ligne
4- Cliquez sur Ecrire et attendez un instant
5- Cliquez sur Lire pour vérifier si les informations ont été enregistrées correctement.

Enfin débrancher le câble (RS232/USB) des deux bords, et cliquer sur le Botton RB13 jusqu'à ce que les valeurs efficaces des signaux apparaissent à nouveau.

Le système continuera à fonctionner dans son état normal jusqu'à l'apparition d'un défaut.

Après défaut :

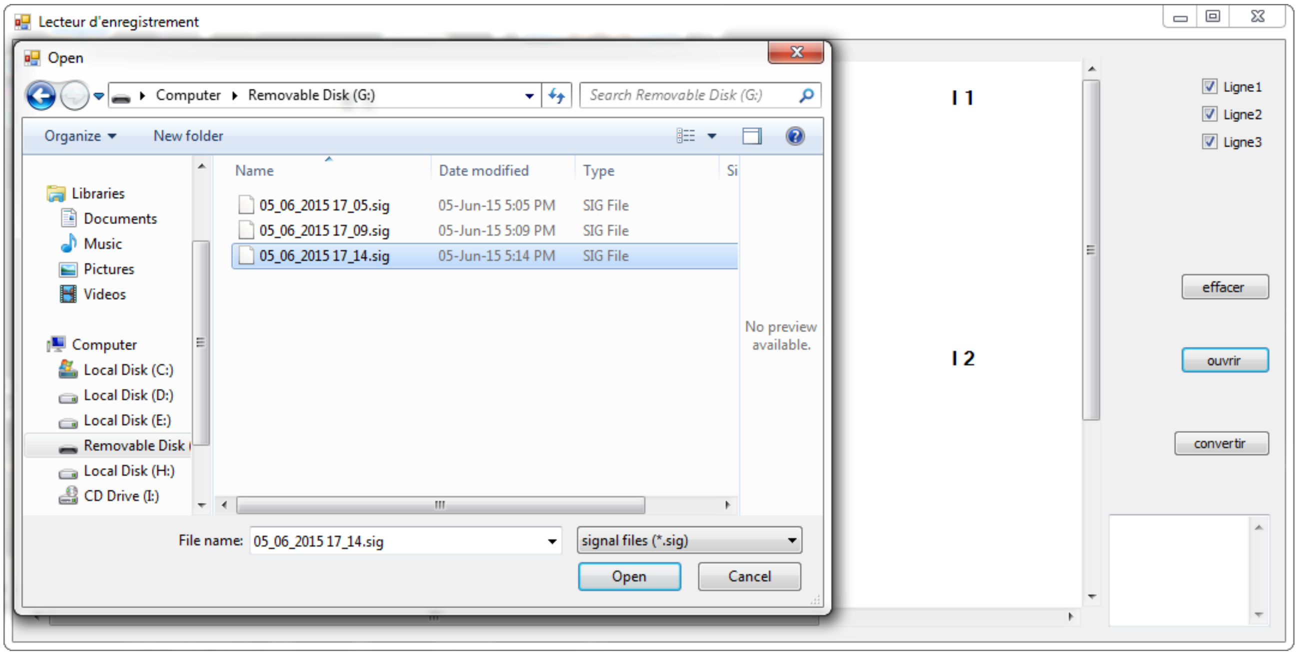
Au moment du défaut la carte SD doit être déjà mise en place.

Un message s'affichera signalant l'apparition du défaut « Traitement du défaut en cours… Veuillez ne pas retirer la carte SD ».

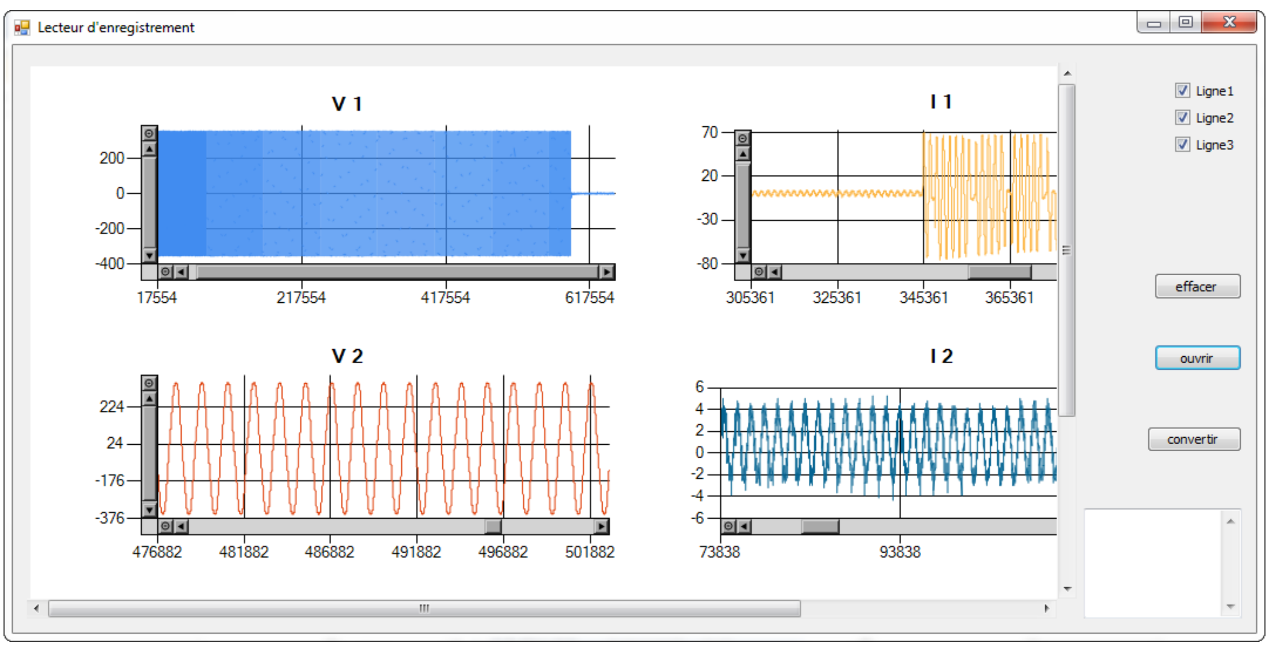
Après quelque seconde le message « Fin de traitement » apparaît, indiquant que le traitement est réalisé avec succès, à ce moment vous pouvez retirer la carte SD.

Récupération des résultats :

Retirer la carte SD du relais et connecter la à votre ordinateur. Exécuter le fichier reglage.exe et cliquez sur Lire enregistrement, une nouvelle fenêtre s'ouvre :



Cliquez sur ouvrir pour ajouter le fichier des enregistrements, le fichier placer dans la carte avec l'extension « .sig » et il porte comme nom, la date et l'heure du défaut, après le choix du fichier cliquez sur ouvrir et attendez que les courbes des signaux s'affichent.



Cliquez sur convertir pour générer le fichier Matlab des enregistrements, afin de réaliser vos traitements.

Annexe 2 : SRAM 23lcv1024

23LCV1024

1 Mbit SPI Serial SRAM with Battery Backup and SDI Interface

Device Selection Table

Part Number	Vcc Range	Dual I/O (SDI)	Battery Backup	Max. Clock Frequency	Packages
23LCV1024	2.5-5.5V	Yes	Yes	20 MHz	SN, ST, P

Features:

- SPI-Compatible Bus Interface:
  - 20 MHz Clock rate
  - SPI/SDI mode
- Low-Power CMOS Technology:
  - Read Current: 3 mA at 5.5V, 20 MHz
  - Standby Current: 4 µA at +85°C
- Unlimited Read and Write Cycles
- External Battery Backup Support
- Zero Write Time
- 128K x 8-bit Organization:
  - 32-byte page
- Byte, Page and Sequential mode for Reads and Writes
- High Reliability
- Temperature Range Supported:
  - Industrial (I): -40°C to +85°C
- Pb-Free and RoHS Compliant, Halogen Free
- 8-Lead SOIC, TSSOP and PDIP Packages

Pin Function Table

Name	Function
$\overline{CS}$	Chip Select Input
SO/SIO1	Serial Output/SDI Pin
Vss	Ground
SI/SIO0	Serial Input/SDI Pin
SCK	Serial Clock
VBAT	External Backup Supply Input
Vcc	Power Supply

Description:

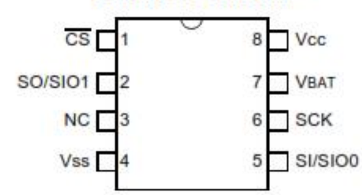
The Microchip Technology Inc. 23LCV1024 is a 1 Mbit Serial SRAM device. The memory is accessed via a simple Serial Peripheral Interface (SPI) compatible serial bus. The bus signals required are a clock input (SCK) plus separate data in (SI) and data out (SO) lines. Access to the device is controlled through a Chip Select ($\overline{CS}$) input. Additionally, SDI (Serial Dual Interface) is supported if your application needs faster data rates.

This device also supports unlimited reads and writes to the memory array, and supports data backup via an external battery/coin cell connected to VBAT (pin 7).

The 23LCV1024 is available in standard packages including 8-lead SOIC, PDIP and advanced 8-lead TSSOP.

Package Types (not to scale)

SOIC/TSSOP/PDIP



Annexe 3 : EEPROM 24C64

2-Wire Serial EEPROM

32K (4096 x 8)

64K (8192 x 8)

AT24C32
AT24C64

Features

- **Low-Voltage and Standard-Voltage Operation**
  - **2.7 (V_{CC} = 2.7V to 5.5V)**
  - **1.8 (V_{CC} = 1.8V to 5.5V)**
- **Low-Power Devices (I_{SB} = 2 µA at 5.5V) Available**
- **Internally Organized 4096 x 8, 8192 x 8**
- **2-Wire Serial Interface**
- **Schmitt Trigger, Filtered Inputs for Noise Suppression**
- **Bidirectional Data Transfer Protocol**
- **100 kHz (1.8V, 2.5V, 2.7V) and 400 kHz (5V) Clock Rate**
- **Write Protect Pin for Hardware Data Protection**
- **32-Byte Page Write Mode (Partial Page Writes Allowed)**
- **Self-Timed Write Cycle (10 ms max)**
- **High Reliability**
  - **Endurance: 1 Million Write Cycles**
  - **Data Retention: 100 Years**
- **Automotive Grade and Extended Temperature Devices Available**
- **8-Pin JEDEC PDIP, 8-Pin JEDEC SOIC, 8-Pin EIAJ SOIC, and 8-pin TSSOP Packages**

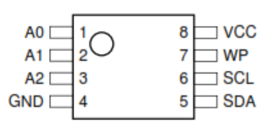
Description

The AT24C32/64 provides 32,768/65,536 bits of serial electrically erasable and programmable read only memory (EEPROM) organized as 4096/8192 words of 8 bits each. The device's cascadable feature allows up to 8 devices to share a common 2-wire bus. The device is optimized for use in many industrial and commercial applications where low power and low voltage operation are essential. The AT24C32/64 is available in space saving 8-pin JEDEC PDIP, 8-pin JEDEC SOIC, 8-pin EIAJ SOIC, and 8-pin TSSOP (AT24C64) packages and is accessed via a 2-wire serial interface. In addition, the entire family is available in 2.7V (2.7V to 5.5V) and 1.8V (1.8V to 5.5V) versions.

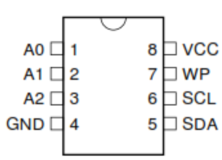
Pin Configurations

Pin Name	Function
A0 - A2	Address Inputs
SDA	Serial Data
SCL	Serial Clock Input
WP	Write Protect

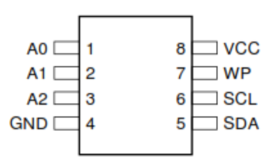
8-Pin TSSOP



8-Pin PDIP



8-Pin SOIC



Rev. 0336K–SEEPR–7/03

Annexe 4 : DsPIC33FJ256GP710A

MICROCHIP dsPIC33FJXXXGPX06A/X08A/X10A

High-Performance, 16-Bit Digital Signal Controllers

Operating Range:

- Up to 40 MIPS operation (@ 3.0-3.6V):
  - Industrial temperature range (-40°C to +85°C)
  - Extended temperature range (-40°C to +125°C)
- Up to 20 MIPS operation (@ 3.0-3.6V):
  - High temperature range (-40°C to +140°C)

High-Performance DSC CPU:

- Modified Harvard architecture
- C compiler optimized instruction set
- 16-bit wide dat path
- 24-bit wide instructions
- Linear program memory addressing up to 4M instruction words
- Linear data memory addressing up to 64 Kbytes
- 83 base instructions: mostly 1 word/1 cycle
- Sixteen 16-bit General Purpose Registers
- Two 40-bit accumulators:
  - With rounding and saturation options
- Flexible and powerful addressing modes:
  - Indirect, Modulo and Bit-Reversed
- Software stack
- 16 x 16 fractional/integer multiply operations
- 32/16 and 16/16 divide operations
- Single-cycle multiply and accumulate:
  - Accumulator write back for DSP operations
  - Dual data fetch
- Up to ±16-bit shifts for up to 40-bit data

Direct Memory Access (DMA):

- 8-channel hardware DMA:
- 2 Kbytes dual ported DMA buffer area (DMA RAM) to store data transferred via DMA:
  - Allows data transfer between RAM and a peripheral while CPU is executing code (no cycle stealing)
- Most peripherals support DMA

Interrupt Controller:

- 5-cycle latency
- Up to 63 available interrupt sources
- Up to five external interrupts
- Seven programmable priority levels
- Five processor exceptions

Digital I/O:

- Up to 85 programmable digital I/O pins
- Wake-up/Interrupt-on-Change on up to 24 pins
- Output pins can drive from 3.0V to 3.6V
- All digital input pins are 5V tolerant
- 4 mA sink on all I/O pins

On-Chip Flash and SRAM:

- Flash program memory, up to 256 Kbytes
- Data SRAM, up to 30 Kbytes (includes 2 Kbytes of DMA RAM):

System Management:

- Flexible clock options:
  - External, crystal, resonator, internal RC
  - Fully integrated PLL
  - Extremely low jitter PLL
- Power-up Timer
- Oscillator Start-up Timer/Stabilizer
- Watchdog Timer with its own RC oscillator
- Fail-Safe Clock Monitor
- Reset by multiple sources

Power Management:

- On-chip 2.5V voltage regulator
- Switch between clock sources in real time
- Idle, Sleep and Doze modes with fast wake-up

Timers/Capture/Compare/PWM:

- Timer/Counters, up to nine 16-bit timers:
  - Can pair up to make four 32-bit timers
  - 1 timer runs as Real-Time Clock with external 32.768 kHz oscillator
  - Programmable prescaler
- Input Capture (up to eight channels):
  - Capture on up, down or both edges
  - 16-bit capture input functions
  - 4-deep FIFO on each capture
- Output Compare (up to eight channels):
  - Single or Dual 16-Bit Compare mode
  - 16-bit Glitchless PWM mode

dsPIC33FJXXXGPX06A/X08A/X10A

Communication Modules:

- 3-wire SPI (up to two modules):
  - Framing supports I/O interface to simple codecs
  - Supports 8-bit and 16-bit data
  - Supports all serial clock formats and sampling modes
- I^2C™ (up to two modules):
  - Full Multi-Master Slave mode support
  - 7-bit and 10-bit addressing
  - Bus collision detection and arbitration
  - Integrated signal conditioning
  - Slave address masking
- UART (up to two modules):
  - Interrupt on address bit detect
  - Interrupt on UART error
  - Wake-up on Start bit from Sleep mode
  - 4-character TX and RX FIFO buffers
  - LIN bus support
  - IrDA® encoding and decoding in hardware
  - High-Speed Baud mode
  - Hardware Flow Control with CTS and RTS
- Data Converter Interface (DCI) module:
  - Codec interface
  - Supports I^2S and AC'97 protocols
  - Up to 16-bit data words, up to 16 words per frame
  - 4-word deep TX and RX buffers
- Enhanced CAN (ECAN™ module) 2.0B active (up to two modules):
  - Up to eight transmit and up to 32 receive buffers
  - 16 receive filters and three masks
  - Loopback, Listen Only and Listen All Messages modes for diagnostics and bus monitoring
  - Wake-up on CAN message
  - Automatic processing of Remote Transmission Requests
  - FIFO mode using DMA
  - DeviceNet™ addressing support

Analog-to-Digital Converters (ADCs):

- Up to two ADC modules in a device
- 10-bit, 1.1 Msps or 12-bit, 500 ksps conversion:
  - Two, four or eight simultaneous samples
  - Up to 32 input channels with auto-scanning
  - Conversion start can be manual or synchronized with one of four trigger sources
  - Conversion possible in Sleep mode
  - ±1 LSb max integral nonlinearity
  - ±1 LSb max differential nonlinearity

CMOS Flash Technology:

- Low-power, high-speed Flash technology
- Fully static design
- 3.3V (±10%) operating voltage
- Industrial and extended temperature
- Low-power consumption

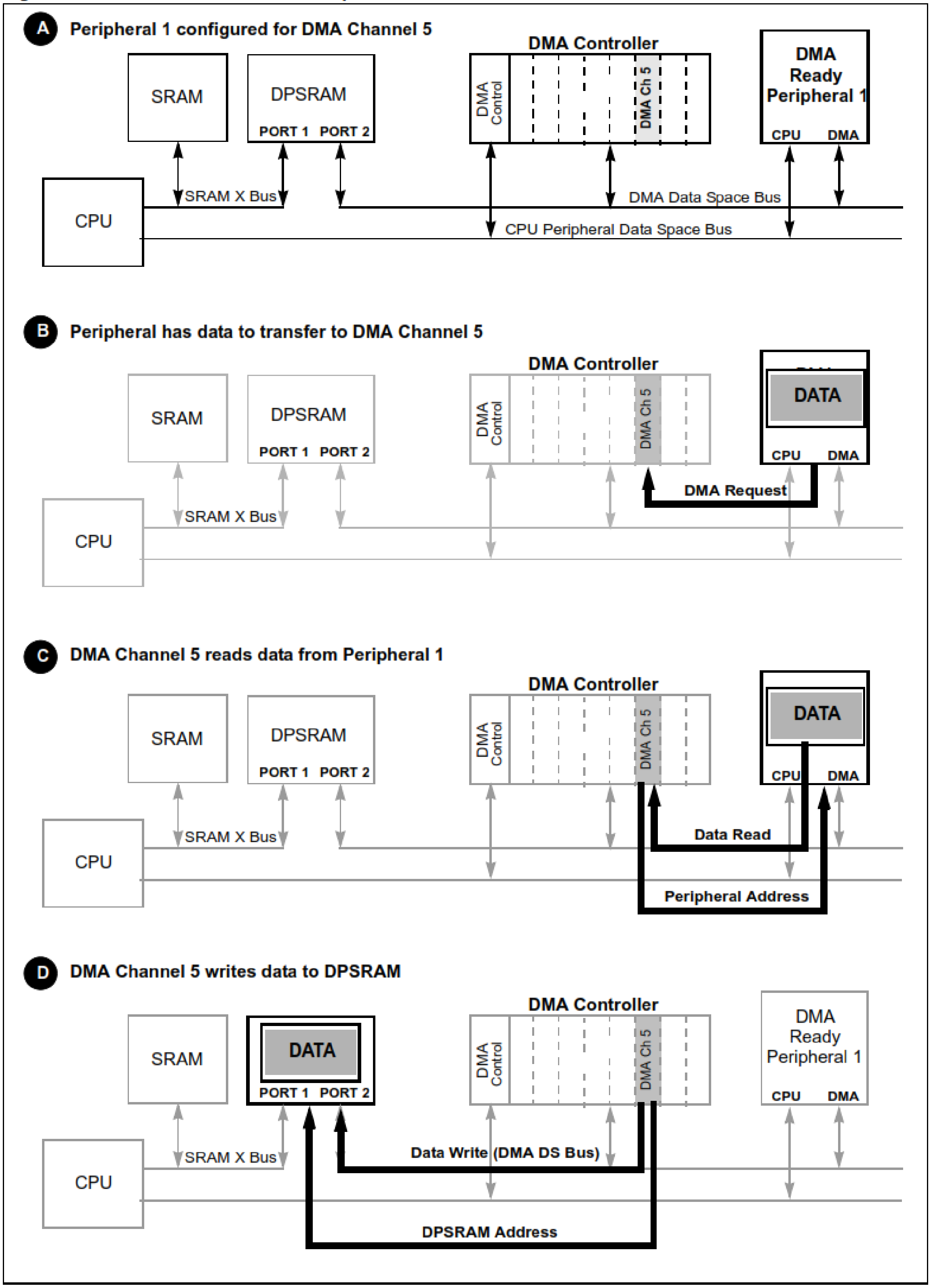
Packaging:

- 100-pin TQFP (14x14x1 mm and 12x12x1 mm)
- 80-pin TQFP (12x12x1 mm)
- 64-pin TQFP (10x10x1 mm)
- 64-pin QFN (9x9x0.9 mm)

Note:	See the device variant tables for exact peripheral features per device.

Annexe 5 : Exemple de transfert des données par le DMA

Figure 38-3: DMA Data Transfer Example



Annexe 6 : Liste du matériel

Produit	Quantité	Prix(DH)
23lcv1024	10	220
24C08	2	16
LCD	1	140
RTC	1	45
Câble RS232/USB	1	60
Carte SD	1	50
Lecteur Carte SD	1	40
Plaque d'époxy	1	120
Câbles	100	100
TT	3	100
Support DIP8	13	39
Bouton-Poussoir	5	15
Résistances	40	80
Capacités	12	24
Ampli Op TL08	1	8
Total	192	1058